

**PU020353 (JP2000188580) ON 7789**

(19) Patent Agency of Japan (JP)

(12) Official report on patent publication (A)

(11) Publication number: 2000-188580

(43) Date of publication of application: 04.07.2000

(51) Int.Cl. H04J 11/00

(21) Application number: 10-365425

(22) Date of filing: 22.12.1998

(71) Applicant: Matsushita Electric IND CO LTD

(72) Inventor: Sudo Hiroaki, Ishikawa Kimihiko, Uesugi Mitsuru

(54) Title of the invention: OFDM receiver

(57) Abstract:

Problem to be solved: To improve a signal transmission rate by enhancing a processing speed of a frequency offset detection circuit.

Solution: A phase information generator 109 detects a phase difference depending on a quadrant to which a phase discriminated by an absolute value of a common-mode component and an absolute value of a quadrature component of a received signal before FFT processing belongs and calculates a frequency offset by subtracting phase information of the received signal from phase information of one preceding symbol. The frequency offset can be compensated by using a frequency offset calculated without multiplication processing.

REF.	AA	PU020353
COUNTRY	JAPAN	
CORRES.	US/UK	

### **[Claims]**

[Claim 1] An OFDM receiver including a difference detection means that carries out quadrature modulation and detects a difference of an absolute value of an in-phase component of an input signal of an OFDM system, and an absolute value of a quadrature component, a quadrant judging means that judges a quadrant to which a phase of an input signal in an orthogonal plane belongs based on an output of this difference detection means, a phase detecting means that detects a phase of the mentioned above input signal from an output of the mentioned above difference detection means and an output of the mentioned above quadrant judging means, a frequency offset detection means to carry out subtraction treatment of a detected phase and the phase that delayed a detected phase by the predetermined symbol and to detect a frequency offset, and a frequency offset compensation means that performs frequency offset compensation to the mentioned above input signal using a detected frequency offset.

[Claim 2] The OFDM receiver according to claim 1, characterized by that the mentioned above frequency offset detection means has an equalizing section that equalizes a computed frequency offset.

[Claim 3] The OFDM receiver according to claim 2, characterized by that the mentioned above equalizing section carries out equalizing processing only of the phase of an input signal with a larger receiving level than arbitrary constant value.

[Claim 4] The OFDM receiver according to claim 2 or 3, characterized by that the mentioned above equalizing section carries out equalizing processing only of the frequency offset that exceeds arbitrary constant value out of a computed frequency offset.

[Claim 5] The OFDM receiver according to claims 1 - 4, characterized by that the mentioned above phase detecting means has a thinning part that reduces a sampling number of an in-phase component of an input signal after unnecessary frequencies ingredient removal and a quadrature component.

[Claim 6] The OFDM receiver according to claim 2 including a serial-parallel conversion part that changes an in-phase component and a quadrature component of an input signal into a plural series signal, respectively, a phase detecting means for in-phase components and a phase detecting means for quadrature components.

[Claim 7] The OFDM receiver according to claim 2, characterized by that the mentioned above phase detecting means identifies a channel of an input signal and incorporates only a signal of a specific channel.

[Claim 8] The OFDM receiver according to claims 2 - 7 not using a value of the mentioned above present frequency offset for equalizing processing when this subtraction result exceeds arbitrary constant value, the mentioned above equalizing section carries out subtraction treatment of a value of the present frequency offset and the value of a frequency offset in front of 1 symbol.

[Claim 9] A base station device possessing the OFDM receiver according to claims 1 - 8.

[Claim 10] A communication terminal device possessing the OFDM receiver according to claims 1 - 9.

[Claim 11] An OFDM receiving method including a difference detection process of quadrature modulation and detecting a difference of an absolute value of an in-phase component of an input signal of an OFDM system, and an absolute value of a quadrature component, a quadrant determination process that judges a quadrant to which a phase of an input signal in an orthogonal plane belongs based on an output of this difference detection means, a phase detection process of detecting a phase of the mentioned above input signal from an output of the mentioned above difference detection process, and an output of the mentioned above quadrant determination process, a frequency offset detection process that carries out subtraction treatment of a detected phase and the phase that delayed a detected phase by the predetermined symbol and detects a frequency offset and a frequency offset compensation process of performing frequency offset compensation to the mentioned above input signal using a detected frequency offset.

[Claim 12] The OFDM receiving method according to claim 11, characterized by that the mentioned above frequency offset detection process has the equalization process of equalizing a computed frequency offset.

[Claim 13] The OFDM receiving method according to claim 12, characterized by that the mentioned above equalization process carries out equalizing processing

only of the phase of an input signal with a larger receiving level than arbitrary constant value.

[Claim 14] The OFDM receiving method according to claim 12 or 13, characterized by that the mentioned above equalization process carries out equalizing processing only of the frequency offset that exceeds arbitrary constant value out of a computed frequency offset.

[Claim 15] The OFDM receiving method according to claims 11 - 14, characterized by that the mentioned above phase detection process reduces a sampling number of an in-phase component of an input signal after unnecessary frequencies ingredient removal and a quadrature component using an thinning circuit.

[Claim 16] The OFDM receiving method according to claim 12 including a serial-parallel conversion process of changing an in-phase component and a quadrature component of an input signal into a plural series signal, respectively, a phase detection process for in-phase components and a phase detection process for quadrature components.

[Claim 17] The OFDM receiving method according to claim 12, characterized by that the mentioned above phase detection process identifies a channel of an input signal and incorporates only a signal of a specific channel.

[Claim 18] The OFDM receiving method according to claims 12 - 17 not using a value of the mentioned above present frequency offset for equalizing processing when this subtraction result exceeds arbitrary constant value, the mentioned above equalization process carries out subtraction treatment of a value of the present frequency

offset and the value of a frequency offset in front of 1 symbol.

### **[Detailed description of the invention]**

[0001]

[Field of the invention] This invention relates to the receiver used for the mobile communications of an OFDM system.

[0002]

[Description of the Prior Art] The receiver (OFDM receiver) used for the mobile communications of the conventional OFDM system is explained using drawing 25 and drawing 26. Drawing 25 is an important section block diagram showing the outline composition of the conventional OFDM receiver. Drawing 26 is a mimetic diagram of the frame format in the radio of an OFDM system.

[0003] First, the composition of a device is conventionally explained using drawing 25. The orthogonal detector 2501 is controlled by the local signal that the oscillator device 2513 mentioned below outputs and performs orthogonal detection processing to the inputted input signal with it. The analog low pass filters (LPF) 2502, 2503 remove an unnecessary frequencies ingredient. A/D converters 2504, 2505 change the inputted analog signal into a digital signal.

[0004] The Fourier transform (below Fast Fourier Transform, FFT) circuit 2506 performs FFT processing to an input signal and the delay detector 2507 performs delay detection processing to the inputted signal. The judging device 2508 judges a delay detection signal.

[0005] The inputted signal is delayed and the delay devices 2509, 2510 output it. The complex multiplier 2511 performs complex multiplication. This complex multiplication is mentioned below. The memory 2512 stores the output of the complex multiplier 2511 and the oscillator 2513 outputs the local signal amended by the output of the complex multiplier 2511.

[0006] Next, operation of a device is explained conventionally. The orthogonal detector 2501 performs orthogonal detection processing to an input signal and acquires the baseband signal that is an analog signal. This baseband signal is removed by LPF 2502, 2503 in an unnecessary frequencies ingredient, is changed into a digital signal by A/D converters 2504, 2505 and turns into a digital base band signal.

[0007] The signal with which FFT processing was performed by FFT circuit 2506 and the digital base band signal was assigned to each subcarrier is acquired. Delay detection processing is performed by the delay detector 2507, a judgment is performed by the judging device 2508 and a demodulation signal is acquired.

[0008] By the way, in the mobile communications of an OFDM system, since receiving characteristic degradation that makes a frequency offset a cause is very large, frequency offset compensation is needed. Next, frequency offset compensation is explained.

[0009] In the mobile communications of an OFDM system, generally, as shown on drawing 26, the same waveform as the back part of each symbol is inserted as a guard interval at the head of each symbol.

Generally, a frequency offset is detected using the guard interval that is this known symbol.

[0010] First, it receives without the signal from which only one symbol delayed the signal before FFT processing and the signal before FFT processing with the delay devices 2509, 2510 and the complex multiplier 2511 performs complex multiplication expressed with a following formula.

[Formula 1]

$$R(nT) = \left\{ \sum_{n=1}^{T_g/T} D(nT) \cdot D(nT + Ts) \right\} / (T_g / T)$$

here,  $R(nT)$  expresses phase information,  $D(nT)$  expresses an input signal,  $T_s$  expresses symbol length,  $T_g$  expresses guard interval length and  $T$  expresses a sampling period, respectively.  $n = 1, 2 \dots$  is taken.

[0011] Since the phase will rotate only  $2\pi f T_s$  if a guard interval is compared with the back part of a valid symbol when frequency offset  $\Delta f$  exists, a following formula is realized.

$$R(nT) = |R(nT)| \cdot \exp(j2\pi f T_s) - 2$$

Thus using frequency offset  $\Delta f$ , phase rotation  $2\pi f T_s$  between one symbols required for frequency offset compensation can be calculated from formula 2.

[0012] Without using a guard interval, detection of frequency offset  $\Delta f$  may insert the same symbol as a phase reference symbol required for differentially coherent detection in the head of each burst, for example, and may detect it from the complex multiplication result of a phase reference symbol and the same symbol.



[0013] Thus, in the complex multiplier 2511, complex multiplication of the signal before FFT processing and the signal with which only one symbol delayed the signal before FFT processing is carried out, and the phase information  $R(nT)$  that is the result is stored in the memory 2512. The phase information  $R(nT)$  is substituted for formula 2 with frequency offset  $\Delta f$ , and phase rotation  $2\pi\Delta fTs$  is obtained.

[0014] The oscillator 2513 outputs the local signal that frequency offset compensation gave based on phase rotation  $2\pi\Delta fTs$  to the orthogonal detector 2501. When the orthogonal detector 2501 controlled by the local signal generated in this way performs orthogonal detection processing, frequency offset compensation is made.

[0015] Thus, the conventional OFDM receiver has prevented receiving characteristic degradation that makes a frequency offset a cause.

[0016]

[Problems to be solved by the invention] However, there are the following problems in the conventional device. Namely, since rate-limiting of the processing speed of a frequency offset detection circuit is carried out to processing of a multiplier with slow processing speed, conventionally the frequency offset detection circuit of a device that takes the composition using a multiplier, it is difficult to achieve improvement in the speed of processing speed.

[0017] This invention is made in view of this point. The purpose is to provide the OFDM receiver that raised the processing speed and raised signal-transmission speed.

[0018]

[Means for solving the problem] By a quadrant to which a phase judged from an absolute value of an in-phase component of an input signal and an absolute value of a quadrature component belongs, a main point of this invention changes phase contrast and computes phase information of an input signal simply, it is performing frequency offset compensation using a frequency offset that computed a frequency offset and was computed in this way by performing subtraction with phase information of this input signal and phase information in front of 1 symbol.

[0019]

[Embodiment of the invention] The OFDM receiver according to the 1st mode of this invention, the difference detection means that carries out quadrature modulation and detects the difference of the absolute value of the in-phase component of the input signal of an OFDM system and the absolute value of a quadrature component, the quadrant judging means that judges the quadrant to which the phase of the input signal in an orthogonal plane belongs based on the output of this difference detection means, the phase detecting means that detects the phase of the mentioned above input signal from the output of the mentioned above difference detection means and the output of the mentioned above quadrant judging means, a frequency offset detection means to carry out subtraction treatment of the detected phase and the phase that delayed the detected phase by the predetermined symbol and to detect a frequency offset, the composition possessing the frequency offset compensation means that performs

frequency offset compensation to the mentioned above input signal using the detected frequency offset is taken.

[0020] It detects by judging the quadrant to which the subtraction treatment and the phase of the absolute value of I ingredient of an input signal and the absolute value of Q component belong when detecting the frequency offset of an input signal according to this composition, that is, since multiplication processing is not used only using subtraction treatment, an operation amount required for frequency offset detection can be reduced, processing speed can be increased and the signal-transmission speed of an OFDM receiver can be increased as a result.

[0021] The OFDM receiver according to the 2nd mode of this invention takes the composition that has an equalizing section that equalizes the frequency offset that computed the mentioned above frequency offset detection means in the 1st mode.

[0022] Since a phase error is removable from the frequency offset to detect according to this composition, the detecting accuracy of a frequency offset is raised.

[0023] The OFDM receiver according to the 3rd mode of this invention takes the composition to which the mentioned above equalizing section carries out equalizing processing only of the phase of a larger input signal than constant value with an arbitrary receiving level in the 2nd mode.

[0024] According to this composition, since a frequency offset in case the receiving level of an input signal is less than a threshold judges it as a thing including an error and it is made not to include in equalizing processing, it can raise the detecting accuracy of a frequency offset.

[0025] The OFDM receiver according to the 4th mode of this invention takes the composition that carries out equalizing processing only of the frequency offset that exceeds arbitrary constant value out of the frequency offset by which the mentioned above equalizing section was computed in the 2nd mode or 3rd mode.

[0026] According to this composition, since the frequency offset that is less than a threshold judges it as a thing including an error and it is made not to include in equalizing processing, it can raise the detecting accuracy of a frequency offset.

[0027] In either of the 1st mode to the 4th mode, as for the OFDM receiver according to the 5th mode of this invention, the mentioned above phase detecting means takes the composition in which it has a thinning part that reduces the sampling number of the in-phase component and a quadrature component of the input signal after unnecessary frequencies ingredient removal.

[0028] According to this composition, since a sampling frequency is reduced, signal processing can be accelerated.

[0029] The OFDM receiver according to the 6th mode of this invention takes the composition that has a serial-parallel-conversion part that changes the in-phase component and quadrature component of an input signal into a plural series signal, respectively, a phase detecting means for in-phase components and a phase detecting means for quadrature components in the 2nd mode.

[0030] According to this composition, since frequency offset detection can be performed by parallel processing, a signal processing speed can be accelerated.

[0031] The OFDM receiver according to the 7th mode of this invention takes the composition that the mentioned above phase detecting means identifies the channel of an input signal and incorporates only the signal of a specific channel in the 2nd mode.

[0032] According to this composition, since only the signal of a specific channel is used for phase detection, the signal quantity to process can become less and processing speed can be made to be able to accelerate, and power consumption can be reduced too.

[0033] The OFDM receiver according to the 8th mode of this invention, in either of the 2nd mode to the 7th mode, the mentioned above equalizing section carries out subtraction treatment of the value of the present frequency offset and the value of the frequency offset in front of 1 symbol and when this subtraction result exceeds arbitrary constant value, it takes the composition that does not use the value of the mentioned above present frequency offset for equalizing processing.

[0034] According to this composition, since the frequency offset in which the value is decreasing greatly as compared with the frequency offset in front of 1 symbol judges it as the thing include the error and is not used for equalizing processing, it can raise the detecting accuracy of a frequency offset.

[0035] The base station device according to the 9th mode of this invention takes the composition possessing the OFDM receiver in either of the 1st mode to the 8th mode.

[0036] According to this composition, signal-transmission speed can be raised in transmission and reception of an OFDM system.

[0037] The communication terminal device according to the 10th mode of this invention takes the composition possessing the OFDM receiver in either of the 1st mode to the 9th mode.

[0038] According to this composition, signal-transmission speed can be raised in transmission and reception of an OFDM system.

[0039] The OFDM receiving method according to the 11th mode of this invention includes the difference detection process of quadrature modulation and detection of the difference of the absolute value of the in-phase component of the input signal of an OFDM system and the absolute value of a quadrature component, the quadrant determination process that judges the quadrant to which the phase of the input signal in an orthogonal plane belongs based on the output of this difference detection means, the phase detection process of detecting the phase of the mentioned above input signal from the output of the mentioned above difference detection process and the output of the mentioned above quadrant determination process, the frequency offset detection process that carries out subtraction treatment of the detected phase and the phase that delayed the detected phase by the predetermined symbol and detects a frequency offset and the frequency offset compensation process of performing frequency offset compensation to the mentioned above input signal using the detected frequency offset.

[0040] It detects by judging the quadrant to which the subtraction treatment and the phase of the absolute value of I ingredient of an input signal and the absolute value of Q component belong when detecting the frequency offset

of an input signal according to this method, that is, since multiplication processing is not used only using subtraction treatment, an operation amount required for frequency offset detection can be reduced, processing speed can be increased and the signal-transmission speed of an OFDM receiver can be increased as a result.

[0041] It was made for the OFDM receiving method according to the 12th mode of this invention to have the equalization process of equalizing the frequency offset that computed the mentioned above frequency offset detection process, in the 11th mode.

[0042] Since a phase error is removable from the frequency offset to detect according to this method, the detecting accuracy of a frequency offset is raised.

[0043] The OFDM receiving method according to the 13th mode of this invention was made to carry out equalizing processing only of the phase of an input signal with the mentioned above larger equalization process than constant value with an arbitrary receiving level in the 12th mode.

[0044] According to this method, since a frequency offset in case the receiving level of an input signal is less than a threshold judges it as a thing including an error and it is made not to include in equalizing processing, it can raise the detecting accuracy of a frequency offset.

[0045] The OFDM receiving method according to the 14th mode of this invention was made to carry out equalizing processing only of the frequency offset that exceeds arbitrary constant value out of the frequency offset by which the mentioned above equalization process was computed in the 12th mode or 13th mode.

[0046] According to this method, since the frequency offset that is less than a threshold judges it as a thing including an error and it is made not to include in equalizing processing, it can raise the detecting accuracy of a frequency offset.

[0047] As for the mentioned above phase detection process, the OFDM receiving method according to the 15th mode of this invention reduced the sampling number of the in-phase component of the input signal after unnecessary frequencies ingredient removal and the quadrature component in either of the 11th mode to the 14th mode using the thinning circuit.

[0048] According to this method, since a sampling frequency is reduced, signal processing can be accelerated.

[0049] The OFDM receiving method according to the 16th mode of this invention has the serial-parallel-conversion process of changing the in-phase component and quadrature component of an input signal into a plural series signal, respectively, a phase detection process for in-phase components and a phase detection process for quadrature components; in the 12th mode.

[0050] According to this method, since frequency offset detection can be performed by parallel processing, a signal processing speed can be accelerated.

[0051] In the 12th mode, the mentioned above phase detection process identifies the channel of an input signal and the OFDM receiving method according to the 17th mode of this invention incorporated only the signal of the specific channel.



[0052] According to this method, since only the signal of a specific channel is used for phase detection, the signal quantity to process can become less and processing speed can be made to be able to accelerate, and power consumption can be reduced too.

[0053] The OFDM receiving method according to the 18th mode of this invention, the mentioned above equalization process carried out subtraction treatment of the value of the present frequency offset and the value of the frequency offset in front of 1 symbol and when this subtraction result exceeded arbitrary constant value, it was kept from using the value of the mentioned above present frequency offset for equalizing processing in either of the 12th mode to the 17th mode.

[0054] According to this method, since the frequency offset in which the value is decreasing greatly as compared with the frequency offset in front of 1 symbol judges it as the thing include the error and is not used for equalizing processing, it can raise the detecting accuracy of a frequency offset.

[0055] Next, an embodiment of the invention is described in details with reference to drawings.

[0056] (1st embodiment) The 1st embodiment of the invention is described using drawing 1 - drawing 3. Drawing 1 is an important section block diagram showing the outline composition of the OFDM receiver according to the 1st embodiment of the invention.

[0057] First, the composition of the OFDM receiver applied to this embodiment using drawing 1 is explained. The orthogonal detector 101 is controlled by the local signal that the oscillator 112 mentioned later outputs and

performs orthogonal detection processing to the inputted input signal with it. LPF 102, 103 removes an unnecessary frequencies ingredient. A/D converters 104, 105 change the inputted analog signal into a digital signal.

[0058] FFT circuit 106 performs FFT processing to an input signal and the delay detector 107 performs delay detection processing to the inputted signal. The judging device 108 judges a delay detection signal.

[0059] The phase information generator 109 generates the phase information of the inputted signal. Next, the composition of this phase information generator 109 is explained in full details. The subtractor 110 is 1 symbol about the signal into which subtraction treatment of two inputted signals was carried out, and the delay device 111 was inputted. The oscillator 112 outputs the local signal amended by the phase contrast that is an output of the subtractor 110.

[0060] Next, operation of the OFDM receiver according to this embodiment is explained. First of all, the operation about a recovery is described. The orthogonal detector 101 performs orthogonal detection processing to an input signal and acquires the baseband signal that is an analog signal. This baseband signal is removed by LPF 102, 103 in an unnecessary frequencies ingredient, is changed into a digital signal by A/D converters 104, 105 and turns into a digital base band signal with them.

[0061] The signal with which FFT processing was performed by FFT circuit 106 and the digital base band signal was assigned to each subcarrier is acquired.

Delay detection processing is performed by the delay detector 107, a judgment is performed by the judging device 108 and a demodulation signal is acquired.

[0062] Next, the operation about frequency offset detection and frequency offset compensation is described. The phase information generator 109 generates the phase information of an input signal from the in-phase component (I ingredient) of the input signal before FFT processing and the quadrature component (Q component).

[0063] The subtractor 110 carries out subtraction treatment of the phase information that is an output of the phase information generator 109, and the phase information 1 symbol carried out by the delay device 111 and computes phase rotation, that is a frequency offset. The oscillator 112 outputs the local signal amended using the frequency offset that is an output of the subtractor 110 to the orthogonal detector 101. Thus, frequency offset compensation is performed.

[0064] Here, the phase information generator in this embodiment is explained using drawing 2. Drawing 2 is an important section block diagram showing the outline composition of the phase information generator of the OFDM receiver according to the 1st embodiment of the invention. The phase information generator according to this embodiment does not form a multiplier, but he is trying to reduce the operation amount for asking for a frequency offset.

[0065] Absolute value detection is carried out by the absolute value detectors 201, 202, respectively, and I ingredient and the Q component of an input signal are outputted to the subtractor 203.

[0066] I ingredient and the Q component of an input signal are inputted into the quadrant judging device 204 and a quadrant is judged. Next, the quadrant judging device 204 is explained in details.

[0067] When asking for a phase from I ingredient and the Q component of an input signal, it is necessary to calculate phase  $\theta = \arctan(Q/I)$  of an input signal and if this  $\arctan(Q/I)$  assumes that it is  $I^2 + Q^2 = 1$ , it can be approximated with a following formula.

$$\arctan(Q/I) = |I| - |Q| - 3$$

[0068] Drawing 3 is the graph that shows the relation between  $\arctan(Q/I)$  and  $|I| - |Q|$ . Thus, even if approximated by  $\theta = |I| - |Q|$ , the error can be less than  $1.8^\circ$ .

[0069] It judges with the 1st quadrant if the quadrant judging device 204 is  $|I| - |Q| \geq -4\pi + 1$  based on the mentioned above approximate expression, like the following, if it is  $|I| - |Q| \geq 4\pi / p - 3$ , it is 2nd quadrant and  $|I| - |Q| \geq -4\pi / p - 3$  and it is 3rd quadrant and  $|I| - |Q| \geq 4\pi / p + 1$ , it will judge with the 4th quadrant.

[0070] Next, the converter 205 changes the output of the subtractor 203 according to the decision result of the quadrant judging device 204 and asks for the phase  $\theta$ .

[0071] Thus, when detecting the frequency offset of an input signal according to this embodiment, in order to detect by judging the quadrant to which multiplication processing is not used for but the subtraction treatment and the phase of the absolute value of I ingredient of an input signal and the absolute value of a Q component belong, an operation amount required for frequency offset detection can be reduced, processing speed can be increased and the signal-transmission speed of an OFDM

receiver can be increased as a result.

[0072] (2nd embodiment) The OFDM receiver according to the 2nd embodiment of the invention, has the same composition as the OFDM receiver according to 1st embodiment, however, normalizing phase information based on envelope information, when the input signal is not normalized, improvement in signal-transmission speed is achieved.

[0073] Next, the OFDM receiver according to this embodiment is explained using drawings 4 - 7. The same numerals are given to the same composition as 1st embodiment and detailed explanation is omitted.

[0074] Drawing 4 is an important section block diagram showing the outline composition of the phase information generator of the OFDM receiver according to the 2nd embodiment of the invention. I ingredient and Q component of an input signal are inputted into the envelope generation device 401 and envelope information is computed. Next, the normalizing circuit 402 normalizes an input signal using the computed envelope information. The converter 205 changes the normalized input signal according to the decision result of the quadrant judging device 204 and acquires phase information.

[0075] Next, the composition and operation of the envelope generation device 401 and the normalizing circuit 402 are explained in full details.

[0076] The envelope information  $Z$ ,  $Z = \sqrt{|I|^2 + |Q|^2}$  can be requested, comparatively a lot of amounts of the operation are required to request the sum of squares. Then, computing approximately by  $Z = |I| + |Q|$  is also considered, so that it may end with a small operation amount.

If this approximate expression is used, 1.414 times of the value computed by sum-of-squares  $\sqrt{|I|^2 + |Q|^2}$ , that is about 41% of error, will be produced at the maximum (when a phase is  $45^\circ$ ) and error rate characteristics will deteriorate.

[0077] So, according to this embodiment, the approximate expression using the multiplication that can be simply performed by a bit shift is used. That is, in  $|I| > |Q|$ , in  $Z = |I| + 0.375 \times |Q|$  and  $|Q| > |I|$ ,  $Z = |Q| + 0.375 \times |I|$  is used as an approximate expression.

[0078] Drawing 5 is the graph that shows the result of having asked for the relation of the time of  $|I| > |Q|$ , the phase  $\theta$  that can be set without the range of  $0 \leq \theta \leq 45^\circ$  and a presumed radius, that is, amplitude, by theoretical calculation in this approximate expression. From this graph, by using the mentioned above approximate expression shows that envelope information can be acquired with less than 7% of error compared with the case where it asks by a sum of squares.

[0079] Next, the envelope generation device 401 that searches for envelope information using the mentioned above approximate expression is explained using drawing 6. Drawing 6 is an important section block diagram showing the outline composition of the envelope generation device according to the 2nd embodiment of the invention.

[0080] I ingredient and Q component of an input signal are inputted into the absolute value detectors 601, 602. The absolute value detectors 601, 602 take the absolute value of an input signal and output it to the subtractor 605 and the adding device 610.

Selection of I ingredient and Q component is performed by the switches 603, 604. The subtraction result of the subtractor 605 is judged by the judging device 606 and a decision result is reflected in control of the switches 603, 604.

[0081] 2 bit-shift device 607 and 2 bits of 3 bit-shift devices 608 reach, and carry out 3 bit shifts of the output of the switch 604, respectively. The output of 2 bit-shift device 607 and 3 bit-shift device 608 is added by the adding device 609. Thus, the multiplication processing of 0.375 in the mentioned above approximate expression is made. The adding device 610 adds the output of the switch 603 and the output of the adding device 609 and outputs envelope information.

[0082] Next, operation of the envelope generation device of the phase information generator according to this embodiment is explained.

[0083] I ingredient and a Q component have an absolute value detected by the absolute value detectors 601, 602, respectively, and  $|I|$ ,  $|Q|$  are obtained.

[0084] Then, subtraction treatment of the output ( $|I|$  and  $|Q|$ ) of the absolute value detectors 601, 602 is carried out with the subtractor 605, and the judging device 606 performs a size judgment using the output. The output ( $|I|$  and  $|Q|$ ) of the absolute value detectors 601, 602 is chosen and outputted by the switches 603, 604, respectively. The switches 603, 604 choose the signal outputted according to the decision result of the judging device 606.

[0085] The switch 603 will output  $|I|$ , if the output of the judging device 606 is  $|I| > |Q|$ , and if it is  $|Q| > |I|$ , it will output  $|Q|$ .

The switch 604 will output  $|Q|$ , if the output of the judging device 606 is  $|I| > |Q|$ , and if it is  $|Q| > |I|$ , it will output  $|I|$ .

That is, the switch 603 outputs the larger one of  $|I|$  and  $|Q|$ , and the switch 604 outputs the smaller one of  $|I|$  and  $|Q|$ .

[0086] Next, the smaller one of  $|I|$  and  $|Q|$  outputted from the switch 604, 2 bit-shift device 607 and 3 bit-shift device 608, respectively, 2 bit shifts and 3 bit shifts are carried out.

[0087] Since amplitude becomes half by one bit shift, at two bit shifts, it becomes 0.125 time by 0.25 time and 3 bit shifts. Thus, the amplitude of the output signal of 2 bit-shift device 607 will be 0.25 time the amplitude of the output signal of the switch 604 and the amplitude of the output signal of 3 bit-shift device 608 will be 0.125 time the amplitude of the output signal of the switch 604.

[0088] Subsequently, in order that the adding device 609 may add the output signal ( $0.25 \times |I|$  or  $0.25 \times |Q|$ ) of 2 bit-shift device 607, and the output signal ( $0.125 \times |I|$  or  $0.125 \times |Q|$ ) of 3 bit-shift device 608, the output signal of the adding device 609 becomes  $0.375 \times |I|$  or  $0.375 \times |Q|$ .

[0089] Finally, the adding device 610 can add the output signal ( $|I|$  or  $|Q|$ ) of the switch 603, and the output signal ( $0.375 \times |I|$  or  $0.375 \times |Q|$ ) of the adding device 609 and can acquire the envelope information  $Z$  by the mentioned above approximate expression.

[0090] Thus, the envelope information generation device according to this embodiment, in calculation of an envelope, a sum of squares is not calculated, but on a circuit, in order to use the approximate expression that consists only of easy multiplication realizable by a bit shift, and addition, a multiplier is not needed, but a



required operation amount can be reduced and processing speed improves.

[0091] Subsequently, the normalizing circuit that the phase information generator according to this embodiment has is explained using drawing 7. Drawing 7 is an important section block diagram showing the outline composition of the normalizing circuit of the phase information generator according to the 2nd embodiment of the invention.

[0092] It is a judging device that judges whether the judging devices 701-704 have a phase larger than  $p/4$  or it is small, and the operation part 705-707 adds the input signal by which the bit shift was carried out, and the envelope signal by which it was controlled whether polarity reversals are carried out according to the result of the judging device in front of 1 symbol.

[0093] By taking such composition, the information for an envelope can be removed from an input signal. And it is expressed whether the output of the judging device 701 has a phase of an input signal larger than  $p/4$  in a quadrant or it is small, like the following the output of the judging device 702 fixed by the judging device 701 within the limits of  $p/4$  in more than  $p/8$  and the following. More than  $p/32$  and the following are shown, respectively within the limits of  $p/16$  in which the output of more than  $p/16$ , the following, and the judging device 704 became settled by the judging device 703 within the limits of  $p/8$  in which the output of the judging device 703 became settled by the judging device 702.

[0094] Here, the case where the normalization signal of an output consists of 4 bits is described, a judging device and operation part can provide optional number, and accuracy becomes high. It is necessary to make the number of operation part the number minus 1 of a judging device, that is clear from drawing 7 too.

[0095] Thus, the normalizing circuit of the phase information generator according to this embodiment does not need a multiplier, but can reduce a required operation amount and its processing speed improves.

[0096] Thus, according to this embodiment, without using a multiplier, by performing phase information generation and the envelope generation accompanying it, and a normalizing process, an operation amount required for frequency offset detection can be reduced, processing speed can be increased and the signal-transmission speed of an OFDM receiver can be increased as a result. Since it can apply when the input signal is not normalized, it can respond to many communication configurations rather than 1st embodiment.

[0097] (3rd embodiment) After the OFDM receiver according to the 3rd embodiment of the invention equalizes the phase information that has the same composition as the OFDM receiver according to 1st embodiment, however was computed, it is used for amendment.

[0098] Next, the OFDM receiver according to this embodiment is explained using drawing 8. Drawing 8 is an important section block diagram showing the outline composition of the OFDM receiver according to the 3rd embodiment of the invention.

The same numerals are given to the same composition as 1st embodiment and detailed explanation is omitted.

[0099] The equalization device 801 performs equalizing processing to the frequency offset that is an output of the subtractor 110. By this processing, the phase error by thermal noise can be reduced and the detecting accuracy of a frequency offset can be raised.

[0100] Thus, according to this embodiment, without using a multiplier, by performing phase information generation and the envelope generation accompanying it and a normalizing process, an operation amount required for frequency offset detection can be reduced, processing speed can be increased and the signal-transmission speed of an OFDM receiver can be increased as a result. Since a phase error is reduced by equalizing processing, the detecting accuracy of a frequency offset can be raised rather than 1st embodiment.

[0101] (4th embodiment) The phase information in which the OFDM receiver according to the 4th embodiment of the invention has the same composition as the OFDM receiver according to 3rd embodiment, however a signal level is less than a threshold is not used for equalizing processing.

[0102] Next, the OFDM receiver according to this embodiment is explained using drawing 9. Drawing 9 is an important section block diagram showing the outline composition of the OFDM receiver according to the 4th embodiment of the invention. The same numerals are given to the same composition as 3rd embodiment and detailed explanation is omitted.

[0103] Since the signal with a low signal level has the low signal-to-noise power ratio, the phase error by thermal noise becomes large. It is made not to use a signal with a low signal level for equalizing processing by this embodiment in view of this point.

[0104] The subtractor 901 performs output of the phase information generator 109 and subtraction treatment of a threshold and the judging device 902 performs a size judgment. This decision result controls the switch 903 and only when the signal level of phase information is more than a threshold, the output of the subtractor 110 is inputted into the equalization device 801.

[0105] Thus, according to this embodiment, the signal with which the signal level was less than the threshold can raise the detecting accuracy of a frequency offset further rather than 3rd embodiment by not using for equalizing processing.

[0106] (5th embodiment) The frequency offset that the OFDM receiver according to the 5th embodiment of the invention has the same composition as the OFDM receiver according to 3rd embodiment, however is less than a threshold is not used for equalizing processing.

[0107] Next, the OFDM receiver according to this embodiment is explained using drawing 10. Drawing 10 is an important section block diagram showing the outline composition of the OFDM receiver according to the 5th embodiment of the invention. The same numerals are given to the same composition as 4th embodiment and detailed explanation is omitted.

[0108] Since it is thought that the error is included in the phase information when it is judged that the frequency offset computed from phase information is excessive, it is made not to use an exceeding-threshold frequency offset for equalizing processing.

[0109] The subtractor 1001 carries out subtraction treatment of the frequency offset and threshold that are the outputs of the subtractor 110 and the judging device 1002 performs a size judgment. This decision result controls the switch 903 and only when a frequency offset is below a threshold, the output of the subtractor 110 is inputted into the equalization device 801.

[0110] Thus, according to this embodiment, the frequency offset that was less than the threshold can raise the detecting accuracy of a frequency offset further rather than 4th embodiment by not using for equalizing processing.

[0111] (6th embodiment) The OFDM receiver according to the 6th embodiment of the invention changes the threshold that has the same composition as the OFDM receiver according to 5th embodiment, however is used according to line quality.

[0112] Next, the OFDM receiver according to this embodiment is explained using drawing 11. Drawing 11 is an important section block diagram showing the outline composition of the OFDM receiver according to the 6th embodiment of the invention. The same numerals are given to the same composition as 5th embodiment and detailed explanation is omitted.

[0113] Since the influence of thermal noise becomes large and an amplitude error and a phase error become large when a signal-to-noise power ratio is low, line quality is presumed using the decision error of a demodulation signal and a threshold is changed according to line quality.

[0114] The subtractor 1101 carries out subtraction treatment of the input signal and output signal of the judging device 108 and the judging device 1102 carries out a size judgment. This judging device result is a decision error of a demodulation signal. The switch 1103 is controlled by the decision error that is an output of the judging device 1102 and outputs threshold A and threshold B selectively. Here, it is referred to as threshold  $A > \text{threshold B}$ , in case a decision error exceeds constant value and threshold A is a larger one value and is outputted to the subtractor 1001, in below constant value, threshold B that is a value of the smaller one is outputted.

[0115] Thus, according to this embodiment, the detecting accuracy of a frequency offset can be raised rather than 5th embodiment by making a threshold variable according to line quality.

[0116] (7th embodiment) The OFDM receiver according to the 7th embodiment of the invention has the same composition as the OFDM receiver according to 3rd embodiment, however, after it lets LPF pass, it inputs the input signal after an A/D conversion into a phase information generator.

[0117] Next, the OFDM receiver according to this embodiment is explained using drawing 12. Drawing 12 is an important section block diagram showing the outline

composition of the OFDM receiver according to the 7th embodiment of the invention. The same numerals are given to the same composition as 3rd embodiment and detailed explanation is omitted.

[0118] LPF 1201, 1202 removes the unnecessary frequencies ingredient of the output signal of A/D converters 104, 105 and outputs it to the phase information generator 109.

[0119] If the cut off frequency of LPF is especially made low, the removing effect of an unnecessary frequencies ingredient becomes large and a signal-to-noise power ratio can be improved. In order to detect a frequency offset using the signal in front of FFT that is a multiple signal, even if it makes the cut off frequency of LPF low, the detecting accuracy of a frequency offset does not fall.

[0120] Thus, since according to this embodiment an input signal is inputted into a phase information generator after LPF removes an unnecessary frequencies ingredient, the detecting accuracy of a frequency offset can be further raised rather than 3rd embodiment.

[0121] (8th embodiment) The OFDM receiver according to the 8th embodiment of the invention attains improvement in the speed of signal-transmission speed by having the same composition as the OFDM receiver according to 7th embodiment, however, reducing a sampling frequency.

[0122] Next, the OFDM receiver according to this embodiment is explained using drawing 13. Drawing 13 is an important section block diagram showing the outline composition of the OFDM receiver according to the 8th embodiment of the invention.

The same numerals are given to the same composition as 7th embodiment and detailed explanation is omitted.

[0123] The thinning circuits 1301, 1302 reduce a sampling frequency by thinning the input signal after LPF 1201, 1202 passage. Since noise bandwidth is decreasing, the signal after LPF passage can reduce a sampling frequency.

[0124] Thus, according to this embodiment, improvement in the speed of signal-transmission speed can be achieved by reducing a sampling frequency.

[0125] (9th embodiment) After the OFDM receiver according to the 9th embodiment of the invention has the same composition as the OFDM receiver according to 7th embodiment, however lets analog LPF pass, it is inputted into a phase information generator.

[0126] Next, the OFDM receiver according to this embodiment is explained using drawing 14. Drawing 14 is an important section block diagram showing the outline composition of the OFDM receiver according to the 9th embodiment of the invention. The same numerals are given to the same composition as 7th embodiment and detailed explanation is omitted.

[0127] LPF 1401, 1402 is an analog filter and removes an unnecessary frequencies ingredient. The output of LPF 1401, 1402 is changed into a digital signal with A/D converters 1403 and 1404 and is inputted into the phase information generator 109.

[0128] Thus, since the working speed of an A/D converter can be further reduced rather than 8th embodiment by making into an analog filter LPF that lets the signal before inputting into a phase information generator pass



according to this embodiment, improvement in the speed of signal-transmission speed can be achieved.

[0129] (10th embodiment) The OFDM receiver according to the 10th embodiment of the invention has the same composition as the OFDM receiver according to 3rd embodiment, however performs equalizing processing in several symbols.

[0130] Next, the OFDM receiver according to this embodiment is explained using drawing 15. Drawing 15 is an important section block diagram showing the outline composition of the OFDM receiver according to the 10th embodiment of the invention. The same numerals are given to the same composition as 3rd embodiment and detailed explanation is omitted.

[0131] The delay device 1501 delays the output of the equalization device 801. And the equalization device 1502 carries out equalizing processing of the output of the equalization device 801 and the output of the delay device 1501.

[0132] Thus, according to this embodiment, since equalizing processing is performed in several symbols, the detecting accuracy of a frequency offset can be further raised rather than 3rd embodiment.

[0133] (11th embodiment) The OFDM receiver according to the 11th embodiment of the invention aims at improvement in processing speed by having the same composition as the OFDM receiver according to 3rd embodiment, however computing a frequency offset by parallel processing.

[0134] Next, the OFDM receiver according to this embodiment is explained using drawing 16. Drawing 16 is an important section block diagram showing the outline composition of the OFDM receiver according to the 11th embodiment of the invention. The same numerals are given to the same composition as 3rd embodiment and detailed explanation is omitted.

[0135] The Serial-Parallel converters (S/P converter) 1601, 1602 change the output of A/D converters 104 and 105 into the signal of a plural series, respectively.

[0136] Next, calculation of a frequency offset is parallel and is performed. That is, phase information is computed, respectively, the subtractors 1605, 1606 carry out subtraction treatment of phase information and the phase information delayed with the delay devices 1607, 1608 and the phase information generators 1603, 1604 detect a frequency offset.

[0137] Thus, since the 11th embodiment of the invention performs frequency offset detection by parallel processing, it can attain improvement in the speed of signal-transmission speed.

[0138] (12th embodiment) The OFDM receiver according to the 12th embodiment of the invention has the same composition as the OFDM receiver according to 3rd embodiment, however, performs frequency offset detection only using a specific channel.

[0139] Next, the OFDM receiver according to this embodiment is explained using drawing 17. Drawing 17 is an important section block diagram showing the outline composition of the OFDM receiver according to the 12th embodiment of the invention.

The same numerals are given to the same composition as 3rd embodiment and detailed explanation is omitted.

[0140] As for the switches 1701, 1702, based on a channel type signal, a specific channel, for example, a control channel and a chisel are inputted into the phase information generator 109. It is uninfluent even if only a specific channel performs frequency offset detection, since a frequency offset value does not change rapidly in accordance with time.

[0141] Thus, according to this embodiment, since frequency offset detection is performed only using a specific channel, average consumption electric power is reducible.

[0142] (13th embodiment) The OFDM receiver according to the 13th embodiment of the invention, having the same composition as the OFDM receiver according to 10th embodiment, however calculation of the average value of the frequency offset in an equalization device weight averages with the computed frequency offset and the frequency offset value in front of 1 symbol.

[0143] Next, the equalization device of the OFDM receiver according to this embodiment is explained using drawing 18. Drawing 18 is an important section block diagram showing the outline composition of the equalization device of the OFDM receiver according to the 13th embodiment of the invention.

[0144] If the number of symbols that performs equalizing processing is increased, frequency offset detecting accuracy will improve, but memory space required of one side increases. Then, in this embodiment, equalizing processing of a frequency offset is performed using a

following formula.

$$\text{ave? } f(n) = (1-a) \times \text{ave? } f(n-1) + a \times ? f(n) - 4$$

here,  $? f(n)$  expresses the frequency offset value of current time, and  $\text{ave? } f(n)$  expresses like the following the coefficient (for example, 0.1) to which  $a$  uses the average value of the frequency offset of current time for weighted average processing, respectively.  $n = 0, 1, 2, \dots$  is taken.

[0145] The composition and operation of an equalization device for realizing the mentioned above formula 4 are explained. The multiplier 1801 multiplies the frequency offset of current time by 0.1. This is equivalent to  $a \times ? f(n)$  in formula 4. The memory 1802 is a memory that stores the frequency offset after the equalization before 1 symbol. 0.9 multiplies by the frequency offset in front of 1 symbol with the multiplier 1803. This is equivalent to  $(1-a) \times \text{ave? } f(n-1)$  in formula 4. The adding device 1804 adds the output of the multiplier 1801 and the multiplier 1803 and outputs it as a frequency offset after equalizing processing.

[0146] Thus, since what is necessary is to store only the average value of the last frequency offset in the memory when weight averaging with the computed frequency offset and the frequency offset value in front of 1 symbol, frequency offset detecting accuracy can be raised, without increasing memory space.

[0147] Thus, according to this embodiment, when performing equalizing processing in several symbols, the accuracy of frequency offset detection can be raised, without increasing memory space.

[0148] (14th embodiment) The OFDM receiver according to the 14th embodiment of the invention makes variable the coefficient that has the same composition as the OFDM receiver according to 11th embodiment, however is used for a weighted average.

[0149] Next, the equalization device of the OFDM receiver according to this embodiment is explained using drawing 19. Drawing 19 is an important section block diagram showing the outline composition of the equalization device of the OFDM receiver according to the 14th embodiment of the invention. The same numerals are given to the same composition as 13th embodiment and detailed explanation is omitted.

[0150] Its detecting accuracy of a frequency offset improves so that the value of the coefficient  $a$  used for weighted average processing is small, but convergence speed becomes slow. Convergence speed becomes quick, so that it is large, but detecting accuracy deteriorates. So, in this embodiment, coexistence of detecting accuracy and convergence speed is aimed at by the first 4 symbols making the value of  $a$  a large value (for example, 0.5), for example, and considering it as a small value (for example, 0.1) next.

[0151] It is made for the first 4 symbols to output 0.1 for 0.5 to the multiplier 1801 after 5 symbols, for example in the switch 1901. It is made similarly for the first 4 symbols to output 0.9 for 0.5 to the multiplier 1801 after 5 symbols, for example in the switch 1902.

[0152] Thus, the 14th embodiment of the invention can aim at coexistence of accuracy and convergence speed further rather than 13th embodiment by making variable

the coefficient used for a weighted average.

[0153] (15th embodiment) The coefficient that the OFDM receiver according to the 15th embodiment of the invention has the same composition as the OFDM receiver according to 13th embodiment, however is used for a weighted average be a realization possible value with a bit shift and an adder subtracter.

[0154] Next, the OFDM receiver according to this embodiment is explained using drawing 20. Drawing 20 is an important section block diagram showing the outline composition of the equalization device of the OFDM receiver according to the 15th embodiment of the invention. The same numerals are given to the same composition as 13th embodiment and detailed explanation is omitted.

[0155] Since amplitude can be made into a half by performing one bit shift as 2nd embodiment also described, in two bit shifts, 0.125 time is realizable by 0.25 time and three bit shifts. Thus, a multiplier can be excluded from an equalization device by making into a bit shift and a value (for example, 0.25) realizable by addition and subtraction the value of the coefficient a used for weighted average processing in formula 4.

[0156] 2 bit-shift device 2001 carries out 2 bit shifts of the frequency offset of current time and is made into 0.25 time. 2 bit shifts, 1 bit shift of the frequency offset in front of 1 symbol that is an output of the memory 1802 is carried out and 2 bit-shift device 2002 and 1 bit-shift device 2003 make it 0.25 time and 0.5 time, respectively.

[0157] The adding device 2004 adds the output of 2 bit-shift device 2002 and 1 bit-shift device 2003 and generates 0.75 time of the frequency offset in front of 1 symbol. Formula 4 in case the adding device 1804 adds the output of 2 bit-shift device 2001 and the output of the adding device 2004 and finally sets to  $a = 0.25$  is realizable on a circuit.

[0158] Thus, since according to this embodiment a multiplier cannot be used but only a bit shift and an adder subtracter can weight average when using for a weighted average in an equalization device, circuit structure is reducible rather than 13th and 14th embodiments.

[0159] (16th embodiment) The OFDM receiver according to the 16th embodiment of the invention, it has the same composition as the OFDM receiver according to 3rd embodiment, however, the difference of the frequency offset value of current time and the average value of the last frequency offset exceeds a threshold, the frequency offset value of current time is not used for equalizing processing.

[0160] Next, the OFDM receiver according to this embodiment is explained using drawing 21 and drawing 22. Drawing 21 is an important section block diagram showing the outline composition of the OFDM receiver according to the 16th embodiment of the invention, and drawing 22 is an important section block diagram showing the outline composition of the control circuit of the OFDM receiver according to the 16th embodiment of the invention. The same numerals are given to the same composition as 3rd embodiment and detailed explanation is omitted.

[0161] Since the frequency offset value detected for every symbol shows dispersion when a signal-to-noise power ratio is low, a difference with the frequency offset value in front of 1 symbol is kept from using the frequency offset value exceeding constant value for equalizing processing in this embodiment as a thing including an error.

[0162] In drawing 21, the frequency offset value that is an output of the equalization device 801 and by which equalizing processing was carried out and the frequency offset value in front of 1 symbol that is an output of the equalization device 2102 are inputted into the control circuit 2101. The output of the control circuit 2101 controls the switch 2103 and only when a difference with the frequency offset in front of 1 symbol is below a threshold, it inputs the output of the equalization device 801 into the equalization device 2102.

[0163] On the other hand, in drawing 22, subtraction treatment of the frequency offset of the current time whose subtractor 2201 is an output of the equalization device 801 and the frequency offset in front of 1 symbol that is an output of the equalization device 2102 is performed in the control circuit 2101. Subsequently, the subtractor 2202 performs subtraction treatment of the output of the subtractor 2201 and a threshold and the judging device 2203 performs a size judgment. The result of this size judgment controls the switch 2103 as a control signal.

[0164] Thus, according to this embodiment, when the difference of the frequency offset value of current time and the frequency offset value in front of 1 symbol exceeds a threshold, the accuracy of frequency offset



detection can be raised by not using the frequency offset value of current time for equalizing processing.

[0165] (17th embodiment) The OFDM receiver according to the 17th embodiment of the invention has the same composition as the OFDM receiver according to 16th embodiment, however, changes the threshold in a control circuit according to line quality.

[0166] Next, the OFDM receiver according to this embodiment is explained using drawing 23 and drawing 24. Drawing 23 is an important section block diagram showing the outline composition of the OFDM receiver according to the 17th embodiment of the invention, and drawing 24 is an important section block diagram showing the outline composition of the control circuit of the OFDM receiver according to the 17th embodiment of the invention. The same numerals are given to the same composition as embodiment 3 and detailed explanation is omitted.

[0167] Since it becomes a factor in which line quality reduces frequency offset detecting accuracy under a bad situation as the threshold in the control circuit described by 16th embodiment is constant and line quality becomes a factor that makes convergence speed rate under a good situation, it is desirable to make a threshold change according to a line quality state. According to this embodiment, the threshold of a size binary is provided, for example and it uses selectively according to line quality. The decision error of a demodulation signal is used for line quality like 6th embodiment here.

[0168] In drawing 23, the subtractor 2301 carries out subtraction treatment of the input signal and output signal of the judging device 108 and the judging device 2302 carries out a size judgment. This judging device result is a decision error of a demodulation signal. This decision error is inputted into the control circuit 2101.

[0169] In drawing 24, the switch 2401 is controlled by the line quality information that is an output of the judging device 2302 and outputs threshold A or threshold B selectively. Here, if threshold A > threshold B, when line quality is bad, threshold A that is a value of the larger one is outputted to the subtractor 2202, and when line quality is good, threshold B that is a value of the smaller one will be outputted to the subtractor 2202.

[0170] Thus, according to this embodiment, coexistence of frequency offset detecting accuracy and convergence speed can be aimed at rather than 16th embodiment by changing the threshold used in a control circuit according to line quality.

[0171] By any embodiment of the above, by the quadrant to which the phase judged from the absolute value of the in-phase component of an input signal and the absolute value of the quadrature component belongs, change phase contrast and the phase information of an input signal is computed simply, by performing frequency offset compensation using the frequency offset that computed the frequency offset and was computed in this way by performing subtraction with the phase information of this input signal, and the phase information in front of 1 symbol, since it can have composition that excludes a multiplier with slow processing speed, the processing

speed of an OFDM receiver can be increased and improvement in the speed of signal-transmission speed can be achieved.

[0172]

[Effect of the invention] As explained above, according to this invention, the processing speed of a frequency offset detection circuit can be raised and signal-transmission rate can be improved.

### **[Brief description of the drawings]**

[Drawing 1] is the important section block diagram showing the outline composition of the OFDM receiver according to the 1st embodiment of the invention.

[Drawing 2] is the important section block diagram showing the outline composition of the phase information generator of the OFDM receiver according to the 1st embodiment of the invention.

[Drawing 3] is the graph that shows the theoretical calculation result of the phase calculation approximate expression used with the phase information generator according to the 1st embodiment of the invention.

[Drawing 4] is the important section block diagram showing the outline composition of the phase information generator of the OFDM receiver according to the 2nd embodiment of the invention.

[Drawing 5] is the graph that shows the theoretical calculation result of the envelope information calculation approximate expression used with the phase information generator according to the 2nd embodiment of the invention.

[Drawing 6] is the important section block diagram showing the outline composition of the envelope generation device according to the 2nd embodiment of the invention.

[Drawing 7] is the important section block diagram showing the outline composition of the normalizing circuit of the phase information generator according to the 2nd embodiment of the invention.

[Drawing 8] is the important section block diagram showing the outline composition of the OFDM receiver according to the 3rd embodiment of the invention.

[Drawing 9] is the important section block diagram showing the outline composition of the OFDM receiver according to the 4th embodiment of the invention.

[Drawing 10] is the important section block diagram showing the outline composition of the OFDM receiver according to the 5th embodiment of the invention.

[Drawing 11] is the important section block diagram showing the outline composition of the OFDM receiver according to the 6th embodiment of the invention.

[Drawing 12] is the important section block diagram showing the outline composition of the OFDM receiver according to the 7th embodiment of the invention.

[Drawing 13] is the important section block diagram showing the outline composition of the OFDM receiver according to the 8th embodiment of the invention.

[Drawing 14] is the important section block diagram showing the outline composition of the OFDM receiver according to the 9th embodiment of the invention.

[Drawing 15] is the important section block diagram showing the outline composition of the OFDM receiver according to the 10th embodiment of the invention.

[Drawing 16] is the important section block diagram showing the outline composition of the OFDM receiver according to the 11th embodiment of the invention.

[Drawing 17] is the important section block diagram showing the outline composition of the OFDM receiver according to the 12th embodiment of the invention.

[Drawing 18] is the important section block diagram showing the outline composition of the equalization device of the OFDM receiver according to the 13th embodiment of the invention.

[Drawing 19] is the important section block diagram showing the outline composition of the equalization device of the OFDM receiver according to the 14th embodiment of the invention.

[Drawing 20] is the important section block diagram showing the outline composition of the equalization device of the OFDM receiver according to the 15th embodiment of the invention.

[Drawing 21] is the important section block diagram showing the outline composition of the OFDM receiver according to the 16th embodiment of the invention.

[Drawing 22] is the important section block diagram showing the outline composition of the control circuit of the OFDM receiver according to the 16th embodiment of the invention.

[Drawing 23] is the important section block diagram showing the outline composition of the OFDM receiver according to the 17th embodiment of the invention.

[Drawing 24] is the important section block diagram showing the outline composition of the control circuit of the OFDM receiver according to the 17th embodiment of the invention.

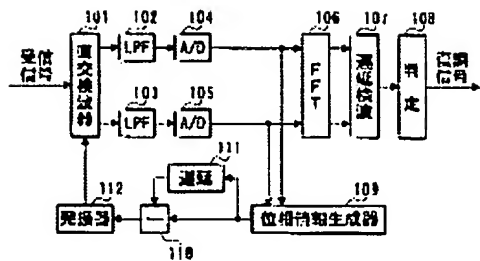
[Drawing 25] is the important section block diagram showing the outline composition of the conventional OFDM receiver.

[Drawing 26] is the mimetic diagram of the frame format in the radio of an OFDM system.

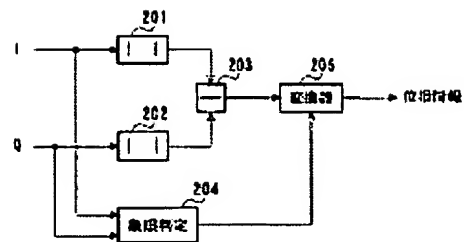
## **[Description of numbers]**

101 Orthogonal detector  
106 FFT circuit  
107 Delay detector  
108 Judging device  
109 Phase information generator  
112 Oscillator  
201, 202 Absolute value detector  
204 Quadrant judging device  
205 Converter  
401 Envelope generation device  
402 Normalizing circuit  
607 2 bit-shift device  
608 3 bit-shift device  
801 Equalization device  
1201, 1202 LPF  
1301, 1302 Thinning circuits  
1601, 1602 S/P converter  
2101 Control circuit

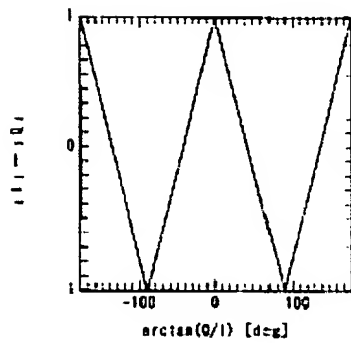
Drawing 1



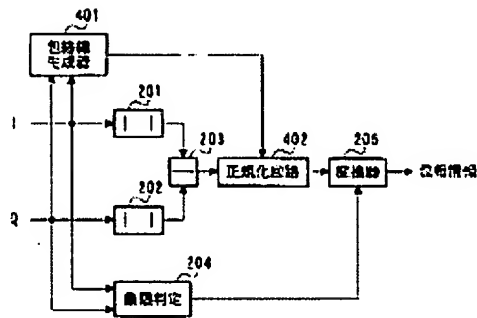
Drawing 2



Drawing 3

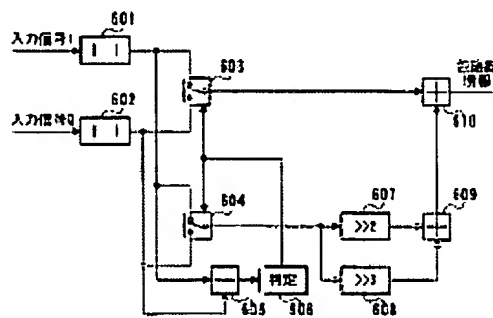
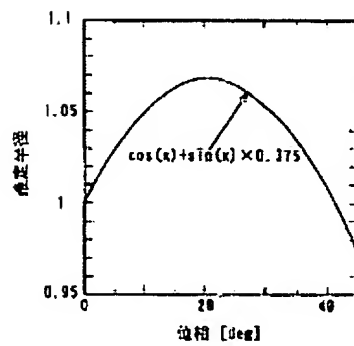


Drawing 4

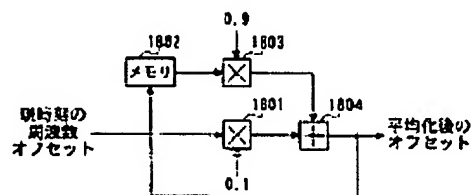


Drawing 6

Drawing 5

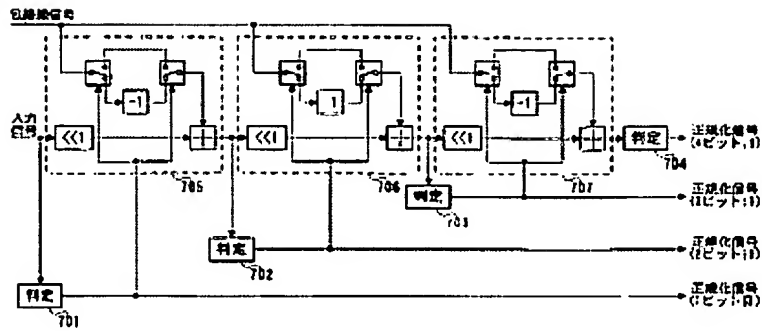


Drawing 18

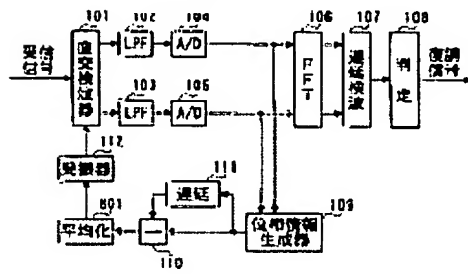




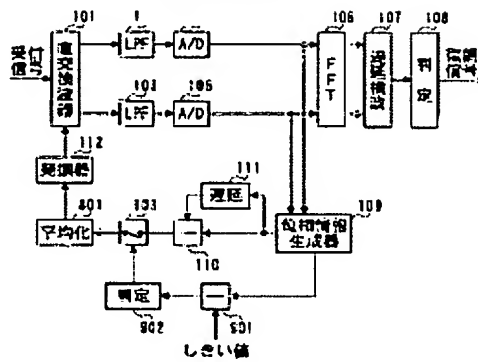
Drawing 7



Drawing 8

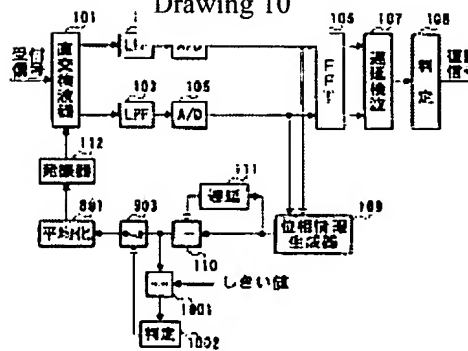


Drawing 9



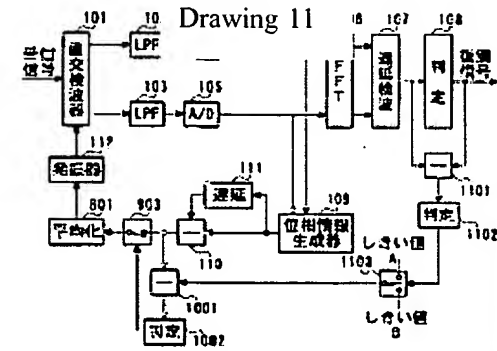
【図10】

Drawing 10

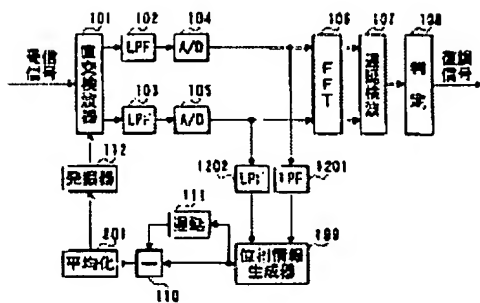
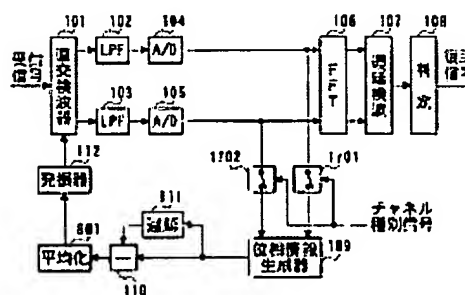


【図11】

Drawing 11



### Drawing 13

[illegible]

[illegible][illegible]

前回の平均化  
周波数  
オフセット

2201

現時刻の  
周波数  
オフセット

2202

しきい値

2203

判定

制御信号

Figure 1 is a block diagram of a signal processing system. The system includes three main processing blocks: 2201 (前図の平均化周波数オフセット), 2202 (現時刻の周波数オフセット), and 2203 (判定). The output of block 2201 is fed into block 2202. Block 2202 also receives input from block 2401, which is labeled '叫聲品質情報' (Shouting Quality Information). The output of block 2202 is fed into block 2203, which produces the '制御信号' (Control Signal). Block 2401 also receives input from the output of block 2203 and provides two threshold outputs, 'しきい値 A' (Threshold A) and 'しきい値 B' (Threshold B), which are fed back into block 2202.

[illegible][illegible]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188580

(P2000-188580A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl.<sup>7</sup>

H 0 4 J 11/00

識別記号

F I

H 0 4 J 11/00

テーマコード(参考)

Z 5 K 0 2 2

審査請求 未請求 請求項の数18 ○L (全 17 頁)

(21) 出願番号

特願平10-365425

(22) 出願日

平成10年12月22日 (1998. 12. 22)

(71) 出願人

000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者

須藤 浩幸

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72) 発明者

石川 公彦

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人

100105050

弁理士 鷺田 公一

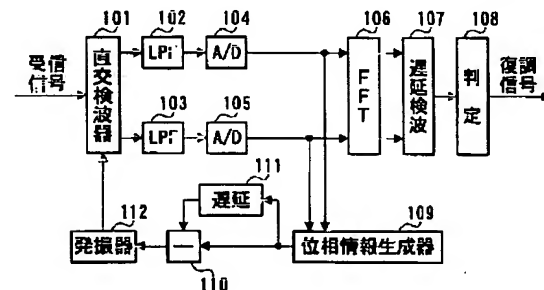
最終頁に続く

(54) 【発明の名称】 OFDM受信装置

(57) 【要約】

【課題】 周波数オフセット検出回路の処理速度を向上させ、信号伝送速度を向上させること。

【解決手段】 位相情報生成器109が、FFT処理前の受信信号の同相成分の絶対値と直交成分の絶対値から判定した位相の属する象限によって位相差を検出し、この受信信号の位相情報と1シンボル前の位相情報との減算を行うことによって周波数オフセットを算出し、このように乗算処理を行わずに算出された周波数オフセットを用いて周波数オフセット補償を行う。



【特許請求の範囲】

【請求項1】 直交変調されOFDM方式の受信信号の同相成分の絶対値と直交成分の絶対値との差を検出する差分検出手段と、この差分検出手段の出力に基づいて直交平面における受信信号の位相の属する象限を判定する象限判定手段と、前記差分検出手段の出力と前記象限判定手段の出力とから前記受信信号の位相を検出する位相検出手段と、検出された位相と検出された位相を所定シンボル分遅延させた位相とを減算処理して周波数オフセットを検出する周波数オフセット検出手段と、検出された周波数オフセットを用いて前記受信信号に対して周波数オフセット補償を行う周波数オフセット補償手段と、を具備することを特徴とするOFDM受信装置。

【請求項2】 前記周波数オフセット検出手段は、算出した周波数オフセットを平均化する平均化部を有することを特徴とする請求項1記載のOFDM受信装置。

【請求項3】 前記平均化部は、受信レベルが任意の一定値よりも大きい受信信号の位相のみを平均化処理することを特徴とする請求項2記載のOFDM受信装置。

【請求項4】 前記平均化部は、算出された周波数オフセットの中から任意の一定値を上回る周波数オフセットのみを平均化処理することを特徴とする請求項2又は請求項3記載のOFDM受信装置。

【請求項5】 前記位相検出手段は、不要周波数成分除去後の受信信号の同相成分及び直交成分のサンプリング数を減らす間引き部を有することを特徴とする請求項1から請求項4のいずれかに記載のOFDM受信装置。

【請求項6】 受信信号の同相成分及び直交成分をそれぞれ複数系列信号に変換するシリアル・パラレル変換部と、同相成分用の位相検出手段と、直交成分用の位相検出手段と、を有することを特徴とする請求項2記載のOFDM受信装置。

【請求項7】 前記位相検出手段は、受信信号のチャネルを識別し特定のチャネルの信号だけを取り込むことを特徴とする請求項2記載のOFDM受信装置。

【請求項8】 前記平均化部は、現在の周波数オフセットの値と1シンボル前の周波数オフセットの値とを減算処理し、この減算結果が任意の一定値を上回る時は前記現在の周波数オフセットの値を平均化処理に用いないことを特徴とする請求項2から請求項7のいずれかに記載のOFDM受信装置。

【請求項9】 請求項1から請求項8のいずれかに記載のOFDM受信装置を具備することを特徴とする基地局装置。

【請求項10】 請求項1から請求項9のいずれかに記載のOFDM受信装置を具備することを特徴とする通信端末装置。

【請求項11】 直交変調されOFDM方式の受信信号の同相成分の絶対値と直交成分の絶対値との差を検出する差分検出工程と、この差分検出手段の出力に基づいて

直交平面における受信信号の位相の属する象限を判定する象限判定工程と、前記差分検出工程の出力と前記象限判定工程の出力とから前記受信信号の位相を検出する位相検出工程と、検出された位相と検出された位相を所定シンボル分遅延させた位相とを減算処理して周波数オフセットを検出する周波数オフセット検出工程と、検出された周波数オフセットを用いて前記受信信号に対して周波数オフセット補償を行う周波数オフセット補償工程と、を具備することを特徴とするOFDM受信方法。

【請求項12】 前記周波数オフセット検出工程は、算出した周波数オフセットを平均化する平均化工程を有することを特徴とする請求項11記載のOFDM受信方法。

【請求項13】 前記平均化工程は、受信レベルが任意の一定値よりも大きい受信信号の位相のみを平均化処理することを特徴とする請求項12記載のOFDM受信方法。

【請求項14】 前記平均化工程は、算出された周波数オフセットの中から任意の一定値を上回る周波数オフセットのみを平均化処理することを特徴とする請求項12又は請求項13記載のOFDM受信方法。

【請求項15】 前記位相検出工程は、間引き回路を用いて不要周波数成分除去後の受信信号の同相成分及び直交成分のサンプリング数を減らすことを特徴とする請求項11から請求項14のいずれかに記載のOFDM受信方法。

【請求項16】 受信信号の同相成分及び直交成分をそれぞれ複数系列信号に変換するシリアル・パラレル変換工程と、同相成分用の位相検出工程と、直交成分用の位相検出工程と、を有することを特徴とする請求項12記載のOFDM受信方法。

【請求項17】 前記位相検出工程は、受信信号のチャネルを識別し特定のチャネルの信号だけを取り込むことを特徴とする請求項12記載のOFDM受信方法。

【請求項18】 前記平均化工程は、現在の周波数オフセットの値と1シンボル前の周波数オフセットの値とを減算処理し、この減算結果が任意の一定値を上回る時は前記現在の周波数オフセットの値を平均化処理に用いないことを特徴とする請求項12から請求項17のいずれかに記載のOFDM受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、OFDM方式の移動体通信に用いられる受信装置に関する。

【0002】

【従来の技術】従来のOFDM方式の移動体通信に用いられる受信装置（以下、単にOFDM受信装置という）について図25及び図26を用いて説明する。図25は、従来のOFDM受信装置の概略構成を示す要部ブロック図であり、図26は、OFDM方式の無線通信にお

けるフレームフォーマットの模式図である。

【0003】まず、図25を用いて従来装置の構成を説明する。直交検波器2501は、後述する発振器機2513の出力するローカル信号によって制御され、入力された受信信号に対して直交検波処理を行う。アナログ・ローパス・フィルタ(LPF)2502、2503は、不要周波数成分を除去する。A/D変換器2504、2505は、入力されたアナログ信号をデジタル信号に変換する。

【0004】フーリエ変換(fast Fourier transform; 以下、FFTという)回路2506は、入力信号に対してFFT処理を行い、遅延検波器2507は、入力された信号に対して遅延検波処理を行う。判定器2508は、遅延検波信号の判定を行う。

【0005】遅延器2509、2510は、入力された信号を遅延させて出力する。複素乗算器2511は、複素乗算を行う。この複素乗算については後述する。メモリ2512は、複素乗算器2511の出力を格納し、発振器2513は、複素乗算器2511の出力によって補正されたローカル信号を出力する。

【0006】次いで、従来装置の動作について説明する。直交検波器2501は、受信信号に対して直交検波処理を行い、アナログ信号であるベースバンド信号を得

る。このベースバンド信号は、LPF2502、2503によって不要周波数成分を除去され、A/D変換器2504、2505によってデジタル信号に変換され、デジタルベースバンド信号となる。

【0007】デジタルベースバンド信号は、FFT回路2506によってFFT処理が行われ、各サブキャリアに割り当てられた信号が得られる。更に、遅延検波器2507によって遅延検波処理が行われ、判定器2508によって判定が行われ、復調信号が得られる。

【0008】ところで、OFDM方式の移動体通信においては、周波数オフセットを原因とする受信特性劣化が非常に大きいため、周波数オフセット補償が必要となる。以下、周波数オフセット補償について説明する。

【0009】OFDM方式の移動体通信においては一般に、図26に示すように、各シンボルの先頭に各シンボルの最後部と同一の波形をガード区間として挿入している。一般には、この既知シンボルであるガード区間を用いて、周波数オフセットを検出する。

【0010】まず、FFT処理前の信号と、FFT処理前の信号を遅延器2509、2510によって1シンボルだけ遅延させた信号と、に対して、複素乗算器2511が次式に表わされる複素乗算を行う。

【数1】

$$R(nT) = \left\{ \sum_{n=1}^{T_g/T} D(nT) \cdot D(nT + Ts) \right\} / (T_g/T)$$

ここで、 $R(nT)$ は位相情報を表わし、以下同様に、 $D(nT)$ は受信信号を、 $Ts$ はシンボル長を、 $T_g$ はガード区間長を、 $T$ はサンプリング周期を、それぞれ表わす。 $n$ は1、2、...を採る。

$$R(nT) = |R(nT)| \cdot \exp(j2\pi\Delta f Ts) \quad -2$$

したがって、周波数オフセット $\Delta f$ を用いることによって、式2より周波数オフセット補償に必要な1シンボルの間の位相回転量 $2\pi\Delta f Ts$ を求めることができる。

【0012】なお、周波数オフセット $\Delta f$ の検出は、ガード区間を用いずに、例えば、遅延検波に必要な位相基準シンボルと同一のシンボルを各バーストの先頭に挿入し、位相基準シンボルと同一のシンボルとの複素乗算結果より検出してもよい。

【0013】このようにして、複素乗算器2511において、FFT処理前の信号と、FFT処理前の信号を1シンボルだけ遅延させた信号と、を複素乗算し、その結果である位相情報 $R(nT)$ をメモリ2512に格納する。位相情報 $R(nT)$ は、周波数オフセット $\Delta f$ と共に式2に代入され、位相回転量 $2\pi\Delta f Ts$ が得られる。

【0014】発振器2513は、位相回転量 $2\pi\Delta f Ts$ に基づいて周波数オフセット補償が施したローカル信号を、直交検波器2501へ出力する。このように生成

【0011】周波数オフセット $\Delta f$ が存在する場合、ガード区間と有効シンボルの最後部とを比較すると、位相が $2\pi\Delta f Ts$ だけ回転しているため、次式が成り立つ。

されたローカル信号によって制御された直交検波器2501が直交検波処理を行うことによって、周波数オフセット補償がなされる。

【0015】このように、従来のOFDM受信装置は、周波数オフセットを原因とする受信特性劣化を防止している。

【0016】

【発明が解決しようとする課題】しかしながら、従来の装置においては、以下のような問題がある。すなわち、周波数オフセット検出回路の処理速度は、処理速度が遅い乗算器の処理に律速されるため、乗算器を用いる構成を採る従来装置の周波数オフセット検出回路は、処理速度の高速化を図ることが困難である。

【0017】本発明はかかる点に鑑みてなされたものであり、周波数オフセット検出回路の処理速度を向上させ、信号伝送速度を向上させたOFDM受信装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の骨子は、受信信号の同相成分の絶対値と直交成分の絶対値から判定した位相の属する象限によって位相差を変換して簡易に受信信号の位相情報を算出し、この受信信号の位相情報と1シンボル前の位相情報との減算を行うことによって周波数オフセットを算出し、このように算出された周波数オフセットを用いて周波数オフセット補償を行うことである。

【0019】

【発明の実施の形態】本発明の第1の態様に係るOFDM受信装置は、直交変調されOFDM方式の受信信号の同相成分の絶対値と直交成分の絶対値との差を検出する差分検出手段と、この差分検出手段の出力に基づいて直交平面における受信信号の位相の属する象限を判定する象限判定手段と、前記差分検出手段の出力と前記象限判定手段の出力とから前記受信信号の位相を検出する位相検出手段と、検出された位相と検出された位相を所定シンボル分遅延させた位相とを減算処理して周波数オフセットを検出する周波数オフセット検出手段と、検出された周波数オフセットを用いて前記受信信号に対して周波数オフセット補償を行う周波数オフセット補償手段と、を具備する構成を採る。

【0020】この構成によれば、受信信号の周波数オフセットを検出する際に受信信号のI成分の絶対値とQ成分の絶対値の減算処理及び位相が属する象限の判定を行うことにより検出し、すなわち減算処理のみを用い乗算処理を用いないため、周波数オフセット検出に必要な演算量を削減し、処理速度を早め、結果としてOFDM受信装置の信号伝送速度を早めることができる。

【0021】本発明の第2の態様に係るOFDM受信装置は、第1の態様において、前記周波数オフセット検出手段は、算出した周波数オフセットを平均化する平均化部を有する構成を採る。

【0022】この構成によれば、検出する周波数オフセットから位相誤差を除去することができるため、周波数オフセットの検出精度を高めることができる。

【0023】本発明の第3の態様に係るOFDM受信装置は、第2の態様において、前記平均化部は、受信レベルが任意の一定値よりも大きい受信信号の位相のみを平均化処理する構成を採る。

【0024】この構成によれば、受信信号の受信レベルがしきい値を下回る場合の周波数オフセットは誤差を含むものと判断し平均化処理に含めないようにするため、周波数オフセットの検出精度を高めることができる。

【0025】本発明の第4の態様に係るOFDM受信装置は、第2の態様又は第3の態様において、前記平均化部は、算出された周波数オフセットの中から任意の一定値を上回る周波数オフセットのみを平均化処理する構成を採る。

【0026】この構成によれば、しきい値を下回る周波

数オフセットは誤差を含むものと判断し平均化処理に含めないようにするため、周波数オフセットの検出精度を高めることができる。

【0027】本発明の第5の態様に係るOFDM受信装置は、第1の態様から第4の態様のいずれかにおいて、前記位相検出手段は、不要周波数成分除去後の受信信号の同相成分及び直交成分のサンプリング数を減らす間引部を有する構成を採る。

【0028】この構成によれば、サンプリング周波数を低減させるため、信号処理を高速化できる。

【0029】本発明の第6の態様に係るOFDM受信装置は、第2の態様において、受信信号の同相成分及び直交成分をそれぞれ複数系列信号に変換するシリアル・パラレル変換部と、同相成分用の位相検出手段と、直交成分用の位相検出手段と、を有する構成を採る。

【0030】この構成によれば、周波数オフセット検出を並列処理で行うことができるため、信号処理速度を高速化できる。

【0031】本発明の第7の態様に係るOFDM受信装置は、第2の態様において、前記位相検出手段は、受信信号のチャネルを識別し特定のチャネルの信号だけを取り込む構成を採る。

【0032】この構成によれば、特定のチャネルの信号だけを位相検出に用いるため、処理する信号量が減り、処理速度を高速化させ、更に消費電力も低減させることができる。

【0033】本発明の第8の態様に係るOFDM受信装置は、第2の態様から第7の態様のいずれかにおいて、前記平均化部は、現在の周波数オフセットの値と1シンボル前の周波数オフセットの値とを減算処理し、この減算結果が任意の一定値を上回る時は前記現在の周波数オフセットの値を平均化処理に用いない構成を採る。

【0034】この構成によれば、1シンボル前の周波数オフセットと比較して値が大きく減少している周波数オフセットは、誤差を含んでいるものと判断し、平均化処理に用いないため、周波数オフセットの検出精度を高めることができる。

【0035】本発明の第9の態様に係る基地局装置は、第1の態様から第8の態様のいずれかにおけるOFDM受信装置を具備する構成を採る。

【0036】この構成によれば、OFDM方式の送受信において信号伝送速度を高めることができる。

【0037】本発明の第10の態様に係る通信端末装置は、第1の態様から第9の態様のいずれかにおけるOFDM受信装置を具備する構成を採る。

【0038】この構成によれば、OFDM方式の送受信において信号伝送速度を高めることができる。

【0039】本発明の第11の態様に係るOFDM受信方法は、直交変調されOFDM方式の受信信号の同相成分の絶対値と直交成分の絶対値との差を検出する差分検

出工程と、この差分検出手段の出力に基づいて直交平面における受信信号の位相の属する象限を判定する象限判定工程と、前記差分検出工程の出力と前記象限判定工程の出力とから前記受信信号の位相を検出する位相検出工程と、検出された位相と検出された位相を所定シンボル分遅延させた位相とを減算処理して周波数オフセットを検出する周波数オフセット検出工程と、検出された周波数オフセットを用いて前記受信信号に対して周波数オフセット補償を行う周波数オフセット補償工程と、を具備するようにした。

【0040】この方法によれば、受信信号の周波数オフセットを検出する際に受信信号のI成分の絶対値とQ成分の絶対値の減算処理及び位相が属する象限の判定を行うことにより検出し、すなわち減算処理のみを用い乗算処理を用いないため、周波数オフセット検出に必要な演算量を削減し、処理速度を早め、結果としてOFDM受信装置の信号伝送速度を早めることができる。

【0041】本発明の第12の態様に係るOFDM受信方法は、第11の態様において、前記周波数オフセット検出工程は、算出した周波数オフセットを平均化する平均化工程を有するようにした。

【0042】この方法によれば、検出する周波数オフセットから位相誤差を除去することができるため、周波数オフセットの検出精度を高めることができる。

【0043】本発明の第13の態様に係るOFDM受信方法は、第12の態様において、前記平均化工程は、受信レベルが任意の一定値よりも大きい受信信号の位相のみを平均化処理するようにした。

【0044】この方法によれば、受信信号の受信レベルがしきい値を下回る場合の周波数オフセットは誤差を含むものと判断し平均化処理に含めないようにするため、周波数オフセットの検出精度を高めることができる。

【0045】本発明の第14の態様に係るOFDM受信方法は、第12の態様又は第13の態様において、前記平均化工程は、算出された周波数オフセットの中から任意の一定値を上回る周波数オフセットのみを平均化処理するようにした。

【0046】この方法によれば、しきい値を下回る周波数オフセットは誤差を含むものと判断し平均化処理に含めないようにするため、周波数オフセットの検出精度を高めることができる。

【0047】本発明の第15の態様に係るOFDM受信方法は、第11の態様から第14の態様のいずれかにおいて、前記位相検出工程は、間引き回路を用いて不要周波数成分除去後の受信信号の同相成分及び直交成分のサンプリング数を減らすようにした。

【0048】この方法によれば、サンプリング周波数を低減させるため、信号処理を高速化できる。

【0049】本発明の第16の態様に係るOFDM受信方法は、第12の態様において、受信信号の同相成分及

び直交成分をそれぞれ複数系列信号に変換するシリアル・パラレル変換工程と、同相成分用の位相検出工程と、直交成分用の位相検出工程と、を有するようにした。

【0050】この方法によれば、周波数オフセット検出を並列処理で行うことができるため、信号処理速度を高速化できる。

【0051】本発明の第17の態様に係るOFDM受信方法は、第12の態様において、前記位相検出工程は、受信信号のチャネルを識別し特定のチャネルの信号だけを取り込むようにした。

【0052】この方法によれば、特定のチャネルの信号だけを位相検出に用いるため、処理する信号量が減り、処理速度を高速化させ、更に消費電力も低減させることができる。

【0053】本発明の第18の態様に係るOFDM受信方法は、第12の態様から第17の態様のいずれかにおいて、前記平均化工程は、現在の周波数オフセットの値と1シンボル前の周波数オフセットの値とを減算処理し、この減算結果が任意の一定値を上回る時は前記現在の周波数オフセットの値を平均化処理に用いないようにした。

【0054】この方法によれば、1シンボル前の周波数オフセットと比較して値が大きく減少している周波数オフセットは、誤差を含んでいるものと判断し、平均化処理に用いないため、周波数オフセットの検出精度を高めることができる。

【0055】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0056】(実施の形態1) 本発明の実施の形態1について図1～図3を用いて説明する。図1は、本発明の実施の形態1に係るOFDM受信装置の概略構成を示す要部ブロック図である。

【0057】まず、図1を用いて本実施の形態に係るOFDM受信装置の構成について説明する。直交検波器101は、後述する発振器112の出力するローカル信号によって制御され、入力された受信信号に対して直交検波処理を行う。LPF102、103は、不要周波数成分を除去する。A/D変換器104、105は、入力されたアナログ信号をデジタル信号に変換する。

【0058】FFT回路106は、入力信号に対してFFT処理を行い、遅延検波器107は、入力された信号に対して遅延検波処理を行う。判定器108は、遅延検波信号の判定を行う。

【0059】位相情報生成器109は、入力された信号の位相情報を生成する。この位相情報生成器109の構成は後に詳述する。減算器110は、入力された二つの信号の減算処理を行い、遅延器111は、入力された信号を1シンボル遅らせる。発振器112は、減算器110の出力である位相差によって補正されたローカル信号を出力する。



【0060】次いで、本実施の形態に係るOFDM受信装置の動作について説明する。まずは復調に関する動作について述べる。直交検波器101は、受信信号に対して直交検波処理を行い、アナログ信号であるベースバンド信号を得る。このベースバンド信号は、LPF102、103によって不要周波数成分を除去され、A/D変換器104、105によってデジタル信号に変換され、デジタルベースバンド信号となる。

【0061】デジタルベースバンド信号は、FFT回路106によってFFT処理が行われ、各サブキャリアに割り当てられた信号が得られる。更に、遅延検波器107によって遅延検波処理が行われ、判定器108によって判定が行われ、復調信号が得られる。

【0062】次いで、周波数オフセット検出及び周波数オフセット補償に関する動作について述べる。位相情報生成器109は、FFT処理前の受信信号の同相成分（以下、I成分という）と直交成分（以下、Q成分という）とから受信信号の位相情報を生成する。

【0063】減算器110は、位相情報生成器109の出力である位相情報と、遅延器111によって1シンボル遅らされた位相情報と、を減算処理し、位相回転、すなわち周波数オフセットを算出する。発振器112は、減算器110の出力である周波数オフセットを用いて補正されたローカル信号を、直交検波器101へ出力する。このようにして、周波数オフセット補償が行われる。

【0064】ここで、図2を用いて、本実施の形態における位相情報生成器について説明する。図2は、本発明の実施の形態1に係るOFDM受信装置の位相情報生成器の概略構成を示す要部ブロック図である。本実施の形態に係る位相情報生成器は、乗算器を設けず、周波数オフセットを求めるための演算量を減らすようにしている。

【0065】入力信号のI成分とQ成分は、それぞれ絶対値検出器201、202により絶対値検出され、減算器203へ出力される。

【0066】又、入力信号のI成分とQ成分は、象限判定器204に入力され、象限が判定される。以下、象限判定器204について詳述する。

【0067】入力信号のI成分とQ成分から位相を求める場合、入力信号の位相 $\theta = \arctan(Q/I)$ を計算する必要があるが、この $\arctan(Q/I)$ は、 $I^2 + Q^2 = 1$ と仮定すると、次式によって近似することができる。

$$\arctan(Q/I) = |I| - |Q| \quad -\theta$$

【0068】図3は、 $\arctan(Q/I)$ と $|I| - |Q|$ との関係を示したグラフである。このように $\theta = |I| - |Q|$ で近似しても誤差は $1.8^\circ$ 以内にあることができる。

【0069】象限判定器204は、上記近似式に基づい

て、 $|I| - |Q| \approx -4\theta/\pi + 1$ であれば第1象限であると判定し、以下同様に、 $|I| - |Q| \approx 4\theta/\pi - 3$ であれば第2象限、 $|I| - |Q| \approx -4\theta/\pi - 3$ であれば第3象限、 $|I| - |Q| \approx 4\theta/\pi + 1$ であれば第4象限、と判定する。

【0070】次いで、変換器205は、減算器203の出力を象限判定器204の判定結果に応じて変換し、位相 $\theta$ を求める。

【0071】このように、本実施の形態によれば、受信信号の周波数オフセットを検出する際に、乗算処理を用いず、受信信号のI成分の絶対値とQ成分の絶対値の減算処理及び位相が属する象限の判定を行うことにより検出するため、周波数オフセット検出に必要な演算量を削減し、処理速度を早め、結果としてOFDM受信装置の信号伝送速度を早めることができる。

【0072】（実施の形態2）本発明の実施の形態2に係るOFDM受信装置は、実施の形態1に係るOFDM受信装置と同様の構成を有し、但し包絡線情報に基づいて位相情報を正規化することによって、受信信号が正規化されていない場合においても信号伝送速度の高速化を図るものである。

【0073】以下、図4～図7を用いて、本実施の形態に係るOFDM受信装置について説明する。なお、図中、実施の形態1と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0074】図4は、本発明の実施の形態2に係るOFDM受信装置の位相情報生成器の概略構成を示す要部ブロック図である。入力信号のI成分とQ成分は、包絡線生成器401に入力され、包絡線情報が算出される。次いで正規化回路402は、算出された包絡線情報を用いて入力信号を正規化する。変換器205は、正規化された入力信号を象限判定器204の判定結果に応じて変換し、位相情報を得る。

【0075】以下、包絡線生成器401及び正規化回路402の構成及び動作について詳述する。

【0076】包絡線情報Zは、 $Z = \sqrt{|I|^2 + |Q|^2}$ で求めることができるが、二乗和を求めるには比較的多くの演算量を要す。そこで少ない演算量で済むように、 $Z = |I| + |Q|$ で近似的に算出することも考えられるが、この近似式を用いると、最大（位相が $45^\circ$ の時）で、二乗和 $\sqrt{|I|^2 + |Q|^2}$ で算出した値の1.414倍、すなわち約41%の誤差を生じ、誤り率特性が劣化する。

【0077】そこで本実施の形態では、ビットシフトにより簡易に行うことができる乗算を用いた近似式を利用する。すなわち、 $|I| > |Q|$ の場合は $Z = |I| + 0.375 \times |Q|$ 、 $|Q| > |I|$ の場合は $Z = |Q| + 0.375 \times |I|$ 、を近似式として用いる。

【0078】図5は、この近似式において $|I| > |Q|$ の時、すなわち $0 \leq \theta \leq 45^\circ$ の範囲、における位相

$\theta$ と推定半径、すなわち振幅、の関係を理論計算で求めた結果を示したグラフである。このグラフより、上記近似式を用いることによって、二乗和で求めた場合に比べ7%以内の誤差で包絡線情報を得ることができることがわかる。

【0079】以下、図6を用いて、上記近似式を用いて包絡線情報を求める包絡線生成器401について説明する。図6は、本発明の実施の形態2に係る包絡線生成器の概略構成を示す要部ブロック図である。

【0080】入力信号のI成分とQ成分は、絶対値検出器601、602に入力される。絶対値検出器601、602は、入力信号の絶対値を取り、減算器605及び加算器610へ出力する。I成分とQ成分の選択は、スイッチ603、604により行われる。減算器605の減算結果は判定器606によって判定され、判定結果はスイッチ603、604の制御に反映される。

【0081】2ビットシフト器607と3ビットシフト器608は、スイッチ604の出力をそれぞれ2ビット及び3ビットシフトさせる。2ビットシフト器607と3ビットシフト器608の出力は、加算器609によって加算される。これにより、上記近似式における0.375の乗算処理がなされる。加算器610は、スイッチ603の出力と加算器609の出力を加算し、包絡線情報を出力する。

【0082】次いで、本実施の形態に係る位相情報生成器の包絡線生成器の動作を説明する。

【0083】I成分とQ成分は、それぞれ絶対値検出器601、602によって絶対値を検出され、 $|I|$ と $|Q|$ が得られる。

【0084】次いで、絶対値検出器601、602の出力( $|I|$ と $|Q|$ )は、減算器605で減算処理され、その出力を用いて判定器606が大小判定を行う。又、絶対値検出器601、602の出力( $|I|$ と $|Q|$ )は、それぞれスイッチ603、604によって選択され、出力される。スイッチ603、604は判定器606の判定結果に応じて出力する信号を選択する。

【0085】スイッチ603は、判定器606の出力が $|I| > |Q|$ であれば $|I|$ を出力し、 $|Q| > |I|$ であれば $|Q|$ を出力する。スイッチ604は、判定器606の出力が $|I| > |Q|$ であれば $|Q|$ を出力し、 $|Q| > |I|$ であれば $|I|$ を出力する。すなわち、スイッチ603は $|I|$ と $|Q|$ との大きい方を出力し、スイッチ604は $|I|$ と $|Q|$ との小さい方を出力する。

【0086】次いで、スイッチ604から出力された $|I|$ と $|Q|$ の小さい方は、2ビットシフト器607と3ビットシフト器608によってそれぞれ2ビットシフト及び3ビットシフトされる。

【0087】1ビットシフトによって振幅は半分になるため、2ビットシフトでは0.25倍、3ビットシフト

では0.125倍となる。従って、2ビットシフト器607の出力信号の振幅は、スイッチ604の出力信号の振幅の0.25倍であり、3ビットシフト器608の出力信号の振幅は、スイッチ604の出力信号の振幅の0.125倍となる。

【0088】次いで加算器609が、2ビットシフト器607の出力信号( $0.25 \times |I|$ 又は $0.25 \times |Q|$ )と3ビットシフト器608の出力信号( $0.125 \times |I|$ 又は $0.125 \times |Q|$ )を加算するため、加算器609の出力信号は、 $0.375 \times |I|$ 又は $0.375 \times |Q|$ となる。

【0089】最後に、加算器610が、スイッチ603の出力信号( $|I|$ 又は $|Q|$ )と、加算器609の出力信号( $0.375 \times |I|$ 又は $0.375 \times |Q|$ )と、を加算し、前記近似式による包絡線情報Zを得ることができる。

【0090】このように、本実施の形態に係る包絡線情報生成器は、包絡線の算出において、二乗和の演算を行わず、回路上ではビットシフトで実現することができる簡単な乗算と加算のみからなる近似式を用いるため、乗算器を必要とせず、必要な演算量を減らすことができ、処理速度が向上する。

【0091】次いで、図7を用いて、本実施の形態に係る位相情報生成器が有する正規化回路について説明する。図7は、本発明の実施の形態2に係る位相情報生成器の正規化回路の概略構成を示す要部ブロック図である。

【0092】判定器701～704は、位相が $\pi/4$ より大きい小さいかを判定する判定器であり、演算部705～707は、ビットシフトされた入力信号と、1シンボル前の判定器の結果に応じて極性反転されるか否かを制御された包絡線信号と、を加算する。

【0093】このような構成を採ることにより、入力信号から包絡線分の情報を取り除くことができる。そして判定器701の出力は、入力信号の位相が象限の中で $\pi/4$ より大きい小さいかを表わし、以下同様に判定器702の出力は判定器701により定まった $\pi/4$ の範囲内で $\pi/8$ 以上か以下か、判定器703の出力は判定器702により定まった $\pi/8$ の範囲内で $\pi/16$ 以上か以下か、判定器704の出力は判定器703により定まった $\pi/16$ の範囲内で $\pi/32$ 以上か以下か、をそれぞれ示す。

【0094】ここでは、出力の正規化信号が4ビットから成る場合について述べたが、判定器及び演算部は任意数設けることができ、多く設けるほど精度が高くなる。又、演算部の数は、図7からも明らかなように、判定器の数マイナス1にする必要がある。

【0095】このように本実施の形態に係る位相情報生成器の正規化回路は、乗算器を必要とせず、必要な演算量を減らすことができ、処理速度が向上する。

【0096】このように、本実施の形態によれば、乗算器を用いずに、位相情報生成及びそれに伴う包絡線生成と正規化処理を行うことにより、周波数オフセット検出に必要な演算量を削減し、処理速度を早め、結果としてOFDM受信装置の信号伝送速度を早めることができる。又、受信信号が正規化されていない場合においても適用できるため、実施の形態1よりも多くの通信形態に対応することができる。

【0097】（実施の形態3）本発明の実施の形態3に係るOFDM受信装置は、実施の形態1に係るOFDM受信装置と同様の構成を有し、但し算出した位相情報を平均化してから補正に用いるものである。

【0098】以下、図8を用いて、本実施の形態に係るOFDM受信装置について説明する。図8は、本発明の実施の形態3に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態1と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0099】平均化器801は、減算器110の出力である周波数オフセットに対して平均化処理を行う。この処理によって、熱雑音等による位相誤差を低減させ、周波数オフセットの検出精度を高めることができる。

【0100】このように、本実施の形態によれば、乗算器を用いずに、位相情報生成及びそれに伴う包絡線生成と正規化処理を行うことにより、周波数オフセット検出に必要な演算量を削減し、処理速度を早め、結果としてOFDM受信装置の信号伝送速度を早めることができる。又、平均化処理により位相誤差を低減させるため、実施の形態1よりも周波数オフセットの検出精度を高めることができる。

【0101】（実施の形態4）本発明の実施の形態4に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但し信号レベルがしきい値を下回る位相情報は平均化処理に用いないものである。

【0102】以下、図9を用いて、本実施の形態に係るOFDM受信装置について説明する。図9は、本発明の実施の形態4に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0103】信号レベルが低い信号は、信号対雑音電力比が低いいため、熱雑音等による位相誤差が大きくなる。この点に鑑み、本実施の形態では、信号レベルが低い信号を平均化処理に用いないようにする。

【0104】減算器901は、位相情報生成器109の出力としきい値の減算処理を行い、判定器902が大小判定を行う。この判定結果はスイッチ903を制御し、位相情報の信号レベルがしきい値以上の場合のみ減算器110の出力が平均化器801へ入力されるようにする。

【0105】このように、本実施の形態によれば、信号

レベルがしきい値を下回った信号は平均化処理に用いないことにより、実施の形態3よりもさらに周波数オフセットの検出精度を高めることができる。

【0106】（実施の形態5）本発明の実施の形態5に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但ししきい値を下回る周波数オフセットは平均化処理に用いないものである。

【0107】以下、図10を用いて、本実施の形態に係るOFDM受信装置について説明する。図10は、本発明の実施の形態5に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態4と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0108】位相情報から算出した周波数オフセットが過大であると判断される場合、その位相情報には誤差が含まれていると考えられるため、しきい値を超えるの周波数オフセットは平均化処理に用いないようにする。

【0109】減算器1001は、減算器110の出力である周波数オフセットとしきい値を減算処理し、判定器1002が大小判定を行う。この判定結果はスイッチ903を制御し、周波数オフセットがしきい値以下の場合のみ減算器110の出力が平均化器801へ入力されるようにする。

【0110】このように、本実施の形態によれば、しきい値を下回った周波数オフセットは平均化処理に用いないことにより、実施の形態4よりもさらに周波数オフセットの検出精度を高めることができる。

【0111】（実施の形態6）本発明の実施の形態6に係るOFDM受信装置は、実施の形態5に係るOFDM受信装置と同様の構成を有し、但し回線品質に応じて用いるしきい値を変えるものである。

【0112】以下、図11を用いて、本実施の形態に係るOFDM受信装置について説明する。図11は、本発明の実施の形態6に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態5と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0113】信号対雑音電力比が低い場合、熱雑音等の影響が大きくなり、振幅誤差、位相誤差が大きくなるため、復調信号の判定誤差を用いて回線品質を推定し、回線品質に応じてしきい値を変えるようにする。

【0114】減算器1101は、判定器108の入力信号と出力信号を減算処理し、判定器1102が大小判定する。この判定結果は復調信号の判定誤差である。スイッチ1103は、判定器1102の出力である判定誤差によって制御され、しきい値Aとしきい値Bとを選択的に出力する。ここでは、しきい値A>しきい値Bとし、判定誤差が一定値を超える場合は大きい方の値であるしきい値Aを減算器1001へ出力し、一定値以下の場合には小さい方の値であるしきい値Bを出力する。

【0115】このように、本実施の形態によれば、回線品質に応じてしきい値を可変とすることにより、実施の形態5よりも周波数オフセットの検出精度を高めることができる。

【0116】（実施の形態7）本発明の実施の形態7に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但しA/D変換後の受信信号をLPFを通してから位相情報生成器に入力するものである。

【0117】以下、図12を用いて、本実施の形態に係るOFDM受信装置について説明する。図12は、本発明の実施の形態7に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0118】LPF1201、1202は、A/D変換器104、105の出力信号の不要周波数成分を除去し、位相情報生成器109へ出力する。

【0119】特に、LPFのカットオフ周波数を低くすると、不要周波数成分の除去効果が大きくなり、信号対雑音電力比を改善できる。なお、周波数オフセットは、多重信号であるFFT前の信号を用いて検出するため、LPFのカットオフ周波数を低くしても、周波数オフセットの検出精度は低下しない。

【0120】このように、本実施の形態によれば、受信信号を、LPFにより不要周波数成分を除去してから、位相情報生成器に入力するため、実施の形態3よりもさらに周波数オフセットの検出精度を高めることができる。

【0121】（実施の形態8）本発明の実施の形態8に係るOFDM受信装置は、実施の形態7に係るOFDM受信装置と同様の構成を有し、但しサンプリング周波数を低減することにより信号伝送速度の高速化を図るものである。

【0122】以下、図13を用いて、本実施の形態に係るOFDM受信装置について説明する。図13は、本発明の実施の形態8に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態7と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0123】間引き回路1301、1302は、LPF1201、1202通過後の受信信号を間引くことでサンプリング周波数を低減する。なお、LPF通過後の信号は、雑音帯域幅が減少しているため、サンプリング周波数を低減することができる。

【0124】このように、本実施の形態によれば、サンプリング周波数を低減することにより信号伝送速度の高速化を図ることができる。

【0125】（実施の形態9）本発明の実施の形態9に係るOFDM受信装置は、実施の形態7に係るOFDM

受信装置と同様の構成を有し、但しアナログLPFを通してから位相情報生成器に入力するものである。

【0126】以下、図14を用いて、本実施の形態に係るOFDM受信装置について説明する。図14は、本発明の実施の形態9に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態7と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0127】LPF1401、1402は、アナログフィルタであり、不要周波数成分を除去する。LPF1401、1402の出力は、A/D変換器1403、1404でデジタル信号に変換され、位相情報生成器109に入力される。

【0128】このように、本実施の形態によれば、位相情報生成器に入力する前の信号を通すLPFをアナログフィルタにすることにより、実施の形態8よりもさらにA/D変換器の動作速度を低減することができるため、信号伝送速度の高速化を図ることができる。

【0129】（実施の形態10）本発明の実施の形態10に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但し複数シンボルにおいて平均化処理を行うものである。

【0130】以下、図15を用いて、本実施の形態に係るOFDM受信装置について説明する。図15は、本発明の実施の形態10に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0131】遅延器1501は、平均化器801の出力を遅延させる。そして、平均化器1502は、平均化器801の出力と遅延器1501の出力とを平均化処理する。

【0132】このように、本実施の形態によれば、複数シンボルにおいて平均化処理を行うため、実施の形態3よりもさらに周波数オフセットの検出精度を高めることができる。

【0133】（実施の形態11）本発明の実施の形態11に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但し周波数オフセットの算出を並列処理で行うことによって処理速度の向上を図るものである。

【0134】以下、図16を用いて、本実施の形態に係るOFDM受信装置について説明する。図16は、本発明の実施の形態11に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0135】Serial-Parallel変換器（以下、S/P変換器という）1601、1602は、それぞれ、A/D変換器104、105の出力を、複数

系列の信号に変換する。

【0136】以下、周波数オフセットの算出が並列で行われる。すなわち、位相情報生成器1603、1604は、それぞれ位相情報を算出し、減算器1605、1606が、位相情報と、遅延器1607、1608によって遅延された位相情報と、を減算処理し、周波数オフセットを検出する。

【0137】このように、本発明の実施の形態11は、周波数オフセット検出を並列処理で行うため、信号伝送速度の高速化を図ることができる。

【0138】(実施の形態12) 本発明の実施の形態12に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但し特定のチャンネルのみを用いて周波数オフセット検出を行うものである。

【0139】以下、図17を用いて、本実施の形態に係るOFDM受信装置について説明する。図17は、本発明の実施の形態12に係るOFDM受信装置の概略構成を示す要部ブロック図である。なお、図中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0140】スイッチ1701、1702は、チャンネル種別信号に基づき、特定のチャンネル、例えば制御チャネ

$$\text{ave}\Delta f(n) = (1-\alpha) \times \text{ave}\Delta f(n-1)$$

$$+ \alpha \times \Delta f(n) \quad -\textcircled{4}$$

ここで、 $\Delta f(n)$ は現時刻の周波数オフセット値を表わし、以下同様に、 $\text{ave}\Delta f(n)$ は現時刻の周波数オフセットの平均値を、 $\alpha$ は加重平均化処理に用いる係数(例えば、0.1)を、それぞれ表わす。 $n$ は0、1、2...を採る。

【0145】上記式 $\textcircled{4}$ を実現するための平均化器の構成及び動作を説明する。乗算器1801は、現時刻の周波数オフセットに0.1を乗ずる。これは、式 $\textcircled{4}$ における $\alpha \times \Delta f(n)$ に相当する。メモリ1802は、1シンボル前の平均化後の周波数オフセットを格納するメモリである。1シンボル前の周波数オフセットは、乗算器1803によって0.9が乗ぜられる。これは、式 $\textcircled{4}$ における $(1-\alpha) \times \text{ave}\Delta f(n-1)$ に相当する。加算器1804は、乗算器1801と乗算器1803の出力を加算し、平均化処理後の周波数オフセットとして出力する。

【0146】このように、算出された周波数オフセットと1シンボル前の周波数オフセット値と加重平均を行う場合、メモリには前回の周波数オフセットの平均値のみを格納しておけばよいので、メモリ容量を増大させずに周波数オフセット検出精度を向上させることができる。

【0147】従って、本実施の形態によれば、複数シンボルにおいて平均化処理を行う際に、メモリ容量を増大させずに周波数オフセット検出の精度を向上させることができる。

【0148】(実施の形態14) 本発明の実施の形態1

ル、のみが位相情報生成器109に入力されるようにする。周波数オフセット値は、時間経過によって急激には変化しないため、特定のチャンネルでのみ周波数オフセット検出を行っても、影響はない。

【0141】このように、本実施の形態によれば、特定のチャンネルのみを用いて周波数オフセット検出を行うため、平均消費電力を削減することができる。

【0142】(実施の形態13) 本発明の実施の形態13に係るOFDM受信装置は、実施の形態10に係るOFDM受信装置と同様の構成を有し、但し平均化器における周波数オフセットの平均値の算出は、算出された周波数オフセットと1シンボル前の周波数オフセット値と加重平均を行うものである。

【0143】以下、図18を用いて、本実施の形態に係るOFDM受信装置の平均化器について説明する。図18は、本発明の実施の形態13に係るOFDM受信装置の平均化器の概略構成を示す要部ブロック図である。

【0144】平均化処理を行うシンボル数を多くすれば周波数オフセット検出精度が向上するが、一方で必要なメモリ容量が増大する。そこで、本実施の形態においては、次式を用いて周波数オフセットの平均化処理を行う。

4に係るOFDM受信装置は、実施の形態11に係るOFDM受信装置と同様の構成を有し、但し加重平均に用いる係数を可変とするものである。

【0149】以下、図19を用いて、本実施の形態に係るOFDM受信装置の平均化器について説明する。図19は、本発明の実施の形態14に係るOFDM受信装置の平均化器の概略構成を示す要部ブロック図である。なお、図中、実施の形態13と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0150】加重平均化処理に用いる係数 $\alpha$ の値は、小さいほど周波数オフセットの検出精度が向上するが、収束速度が遅くなる。又、大きいほど収束速度は速くなるが、検出精度が劣化する。そこで、本実施の形態では、 $\alpha$ の値を、例えば最初の4シンボルは、大きい値(例えば、0.5)とし、以降は小さい値(例えば、0.1)とすることによって、検出精度と収束速度の両立を図る。

【0151】スイッチ1901は、例えば最初の4シンボルは0.5を、5シンボル目以降は0.1を、乗算器1801に出力するようにする。同様に、スイッチ1902は、例えば最初の4シンボルは0.5を、5シンボル目以降は0.9を、乗算器1801に出力するようにする。

【0152】このように、本発明の実施の形態14は、加重平均に用いる係数は可変とすることにより、実施の形態13よりもさらに精度と収束速度の両立を図ること

ができる。

【0153】(実施の形態15)本発明の実施の形態15に係るOFDM受信装置は、実施の形態13に係るOFDM受信装置と同様の構成を有し、但し加重平均に用いる係数は、ビットシフトと加減算器により実現可能な値とするものである。

【0154】以下、図20を用いて、本実施の形態に係るOFDM受信装置について説明する。図20は、本発明の実施の形態15に係るOFDM受信装置の平均化器の概略構成を示す要部ブロック図である。なお、図中、実施の形態13と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0155】実施の形態2でも述べたように、1ビットシフトを行うことにより振幅を半分にすることができるため、2ビットシフトでは0.25倍、3ビットシフトでは0.125倍を実現することができる。よって、式④において加重平均化処理に用いる係数 $\alpha$ の値を、ビットシフトと加減算により実現できる値(例えば、0.25)とすることにより、平均化器から乗算器を省くことができる。

【0156】2ビットシフト器2001は、現時刻の周波数オフセットを2ビットシフトさせ、0.25倍とする。2ビットシフト器2002及び1ビットシフト器2003は、メモリ1802の出力である1シンボル前の周波数オフセットを、それぞれ2ビットシフト、1ビットシフトさせ、それぞれ0.25倍、0.5倍とする。

【0157】加算器2004は、2ビットシフト器2002及び1ビットシフト器2003の出力を加算し、1シンボル前の周波数オフセットの0.75倍を生成する。最後に加算器1804が、2ビットシフト器2001の出力と加算器2004の出力とを加算し、 $\alpha=0.25$ とする場合の式④を回路上で実現することができる。

【0158】このように、本実施の形態によれば、平均化器において加重平均に用いる場合に、乗算器を用いず、ビットシフトと加減算器のみによって加重平均を行うことができるため、実施の形態13及び14よりも回路規模を削減することができる。

【0159】(実施の形態16)本発明の実施の形態16に係るOFDM受信装置は、実施の形態3に係るOFDM受信装置と同様の構成を有し、但し現時刻の周波数オフセット値と前回の周波数オフセットの平均値との差がしきい値を上回った場合は、現時刻の周波数オフセット値を平均化処理に用いないものである。

【0160】以下、図21及び図22を用いて、本実施の形態に係るOFDM受信装置について説明する。図21は、本発明の実施の形態16に係るOFDM受信装置の概略構成を示す要部ブロック図であり、図22は、本発明の実施の形態16に係るOFDM受信装置の制御回路の概略構成を示す要部ブロック図である。なお、図

中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0161】信号対雑音電力比が低い場合、各シンボル毎に検出された周波数オフセット値にはばらつきが生じるため、本実施の形態では、1シンボル前の周波数オフセット値との差が一定値を超える周波数オフセット値は誤差を含むものとして平均化処理に用いないようにする。

【0162】図21において、制御回路2101には、平均化器801の出力である平均化処理された周波数オフセット値と、平均化器2102の出力である1シンボル前の周波数オフセット値が入力される。制御回路2101の出力は、スイッチ2103を制御し、1シンボル前の周波数オフセットとの差がしきい値以下である場合のみ、平均化器801の出力を平均化器2102に入力する。

【0163】一方、図22において、制御回路2101では、減算器2201が平均化器801の出力である現時刻の周波数オフセットと平均化器2102の出力である1シンボル前の周波数オフセットとの減算処理を行う。次いで、減算器2202が、減算器2201の出力としきい値との減算処理を行い、判定器2203が大小判定を行う。この大小判定の結果が制御信号としてスイッチ2103を制御する。

【0164】このように、本実施の形態によれば、現時刻の周波数オフセット値と1シンボル前の周波数オフセット値との差がしきい値を上回った場合は、現時刻の周波数オフセット値を平均化処理に用いないことにより、周波数オフセット検出の精度を向上させることができる。

【0165】(実施の形態17)本発明の実施の形態17に係るOFDM受信装置は、実施の形態16に係るOFDM受信装置と同様の構成を有し、但し制御回路におけるしきい値を回線品質に応じて変えるものである。

【0166】以下、図23及び図24を用いて、本実施の形態に係るOFDM受信装置について説明する。図23は、本発明の実施の形態17に係るOFDM受信装置の概略構成を示す要部ブロック図であり、図24は、本発明の実施の形態17に係るOFDM受信装置の制御回路の概略構成を示す要部ブロック図である。なお、図中、実施の形態3と同様の構成には同じ符号を付し、詳しい説明は省略する。

【0167】実施の形態16で述べた制御回路におけるしきい値が一定であると、回線品質が悪い状況下では周波数オフセット検出精度を低下させる要因となり、回線品質が良好な状況下では収束速度を遅くする要因となるため、回線品質状態に応じてしきい値を可変させることが望ましい。本実施の形態では、例えば大小二値のしきい値を設け、回線品質に応じて選択的に用いる。ここで回線品質は、実施の形態6と同様に復調信号の判定誤差



を用いる。

【0168】図23において、減算器2301は、判定器108の入力信号と出力信号を減算処理し、判定器2302が大小判定する。この判定器結果は復調信号の判定誤差である。この判定誤差は制御回路2101に入力される。

【0169】図24において、スイッチ2401は、判定器2302の出力である回線品質情報によって制御され、しきい値A又はしきい値Bを選択的に出力する。ここで、しきい値A>しきい値Bとすると、回線品質が悪い場合は大きい方の値であるしきい値Aが減算器2202へ出力され、回線品質が良好な場合は小さい方の値であるしきい値Bが減算器2202へ出力される。

【0170】このように、本実施の形態によれば、制御回路において用いるしきい値を回線品質に応じて変えることにより、実施の形態16よりも周波数オフセット検出精度及び収束速度の両立を図ることができる。

【0171】上記いずれの実施の形態でも、受信信号の同相成分の絶対値と直交成分の絶対値から判定した位相の属する象限によって位相差を変換して簡易に受信信号の位相情報を算出し、この受信信号の位相情報と1シンボル前の位相情報との減算を行うことによって周波数オフセットを算出し、このように算出された周波数オフセットを用いて周波数オフセット補償を行うことにより、処理速度が遅い乗算器を省く構成とすることができるため、OFDM受信装置の処理速度を早めることができ、信号伝送速度の高速化を図ることができる。

【0172】

【発明の効果】以上説明したように、本発明によれば、周波数オフセット検出回路の処理速度を向上させ、信号伝送速度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るOFDM受信装置の概略構成を示す要部ブロック図

【図2】本発明の実施の形態1に係るOFDM受信装置の位相情報生成器の概略構成を示す要部ブロック図

【図3】本発明の実施の形態1に係る位相情報生成器で用いる位相算出近似式の理論計算結果を示したグラフ

【図4】本発明の実施の形態2に係るOFDM受信装置の位相情報生成器の概略構成を示す要部ブロック図

【図5】本発明の実施の形態2に係る位相情報生成器で用いる包絡線情報算出近似式の理論計算結果を示したグラフ

【図6】本発明の実施の形態2に係る包絡線生成器の概略構成を示す要部ブロック図

【図7】本発明の実施の形態2に係る位相情報生成器の正規化回路の概略構成を示す要部ブロック図

【図8】本発明の実施の形態3に係るOFDM受信装置の概略構成を示す要部ブロック図

【図9】本発明の実施の形態4に係るOFDM受信装置

の概略構成を示す要部ブロック図

【図10】本発明の実施の形態5に係るOFDM受信装置の概略構成を示す要部ブロック図

【図11】本発明の実施の形態6に係るOFDM受信装置の概略構成を示す要部ブロック図

【図12】本発明の実施の形態7に係るOFDM受信装置の概略構成を示す要部ブロック図

【図13】本発明の実施の形態8に係るOFDM受信装置の概略構成を示す要部ブロック図

【図14】本発明の実施の形態9に係るOFDM受信装置の概略構成を示す要部ブロック図

【図15】本発明の実施の形態10に係るOFDM受信装置の概略構成を示す要部ブロック図

【図16】本発明の実施の形態11に係るOFDM受信装置の概略構成を示す要部ブロック図

【図17】本発明の実施の形態12に係るOFDM受信装置の概略構成を示す要部ブロック図

【図18】本発明の実施の形態13に係るOFDM受信装置の平均化器の概略構成を示す要部ブロック図

【図19】本発明の実施の形態14に係るOFDM受信装置の平均化器の概略構成を示す要部ブロック図

【図20】本発明の実施の形態15に係るOFDM受信装置の平均化器の概略構成を示す要部ブロック図

【図21】本発明の実施の形態16に係るOFDM受信装置の概略構成を示す要部ブロック図

【図22】本発明の実施の形態16に係るOFDM受信装置の制御回路の概略構成を示す要部ブロック図

【図23】本発明の実施の形態17に係るOFDM受信装置の概略構成を示す要部ブロック図

【図24】本発明の実施の形態17に係るOFDM受信装置の制御回路の概略構成を示す要部ブロック図

【図25】従来のOFDM受信装置の概略構成を示す要部ブロック図

【図26】OFDM方式の無線通信におけるフレームフォーマットの模式図

【符号の説明】

101 直交検波器

106 FFT回路

107 遅延検波器

108 判定器

109 位相情報生成器

112 発振器

201、202 絶対値検出器

204 象限判定器

205 変換器

401 包絡線生成器

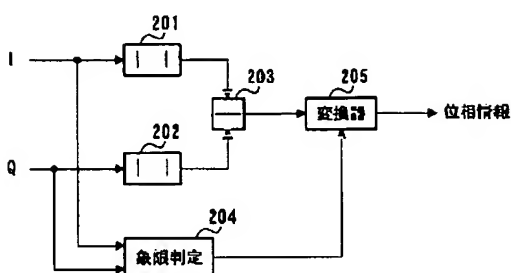
402 正規化回路

607 2ビットシフト器

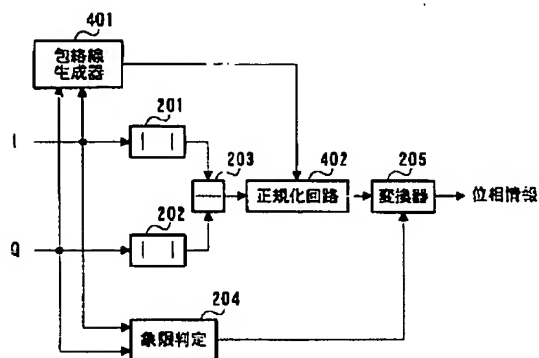
608 3ビットシフト器

801 平均化器

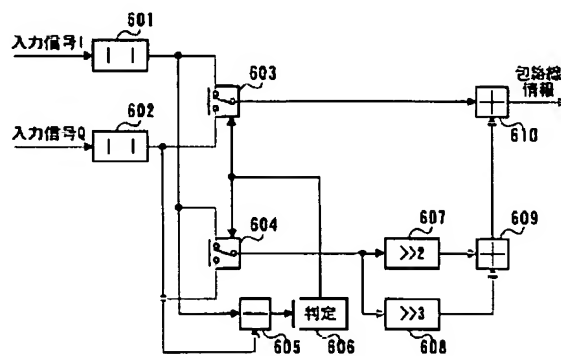
【図2】



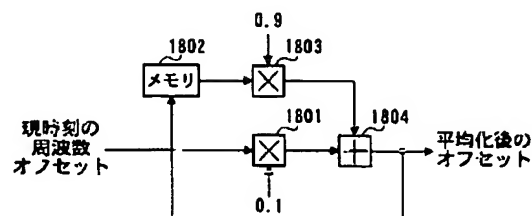
【図4】



【図6】

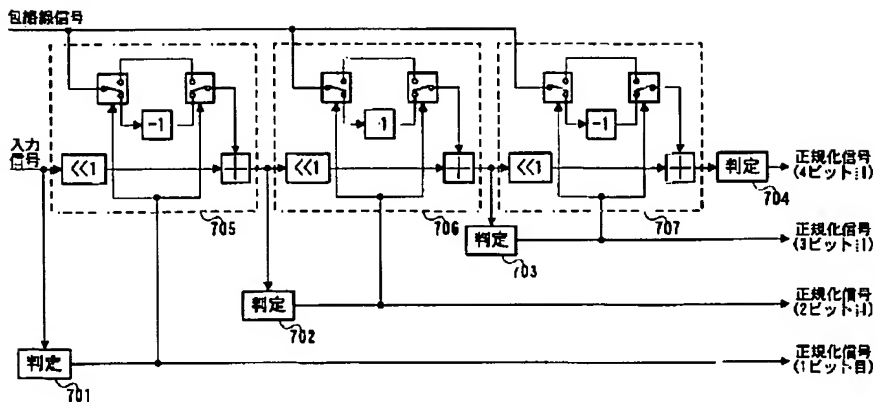


【図18】

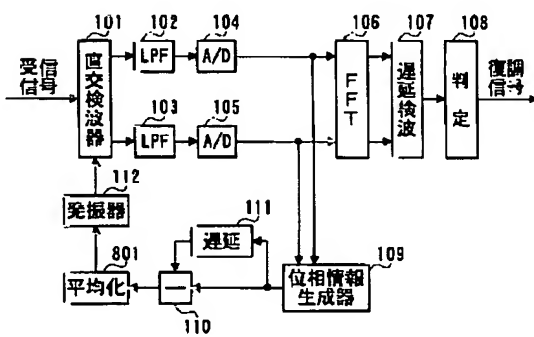




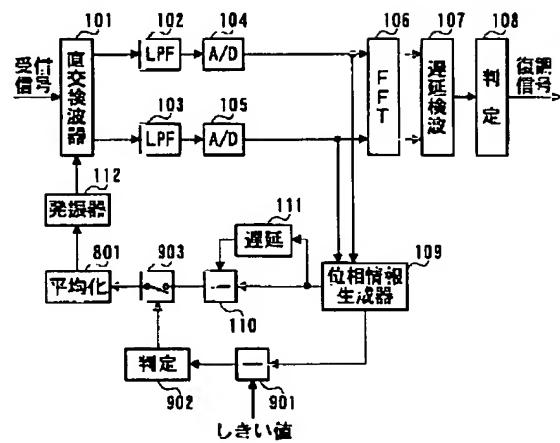
【図7】



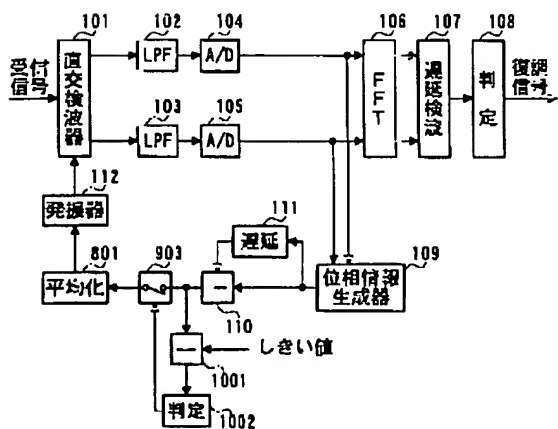
【図8】



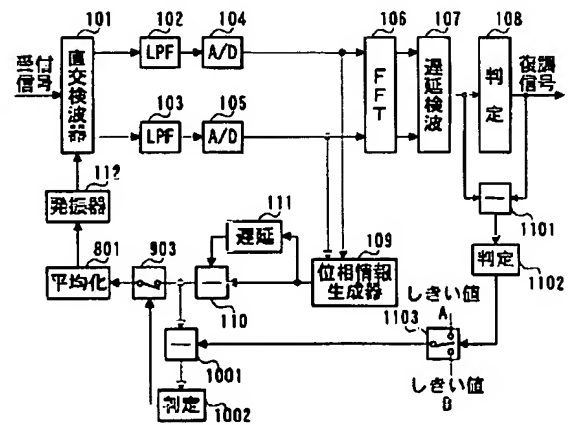
【図9】



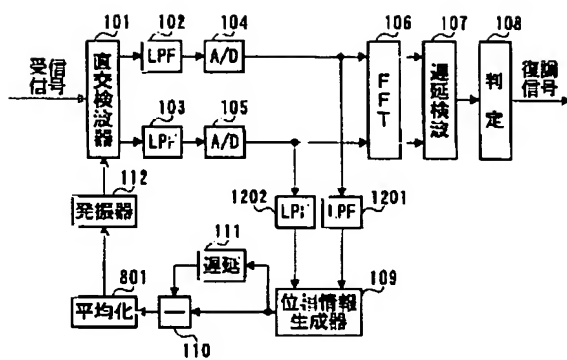
【図10】



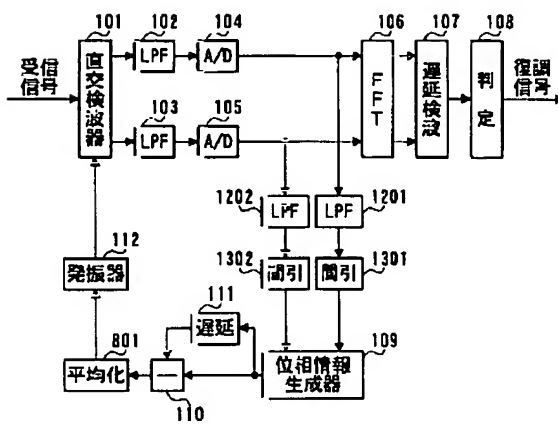
【図11】



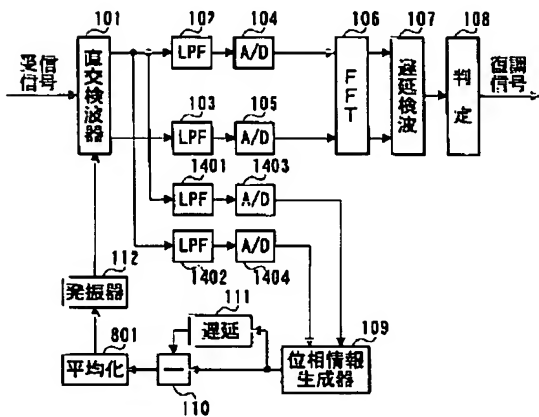
【図12】



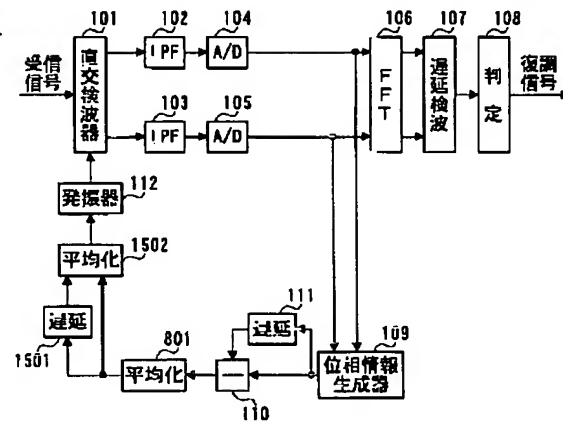
【図13】



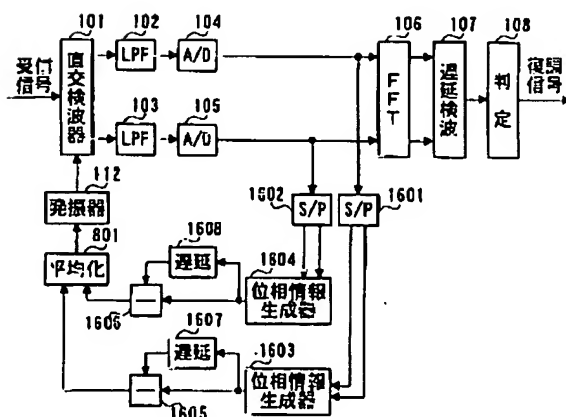
【図14】



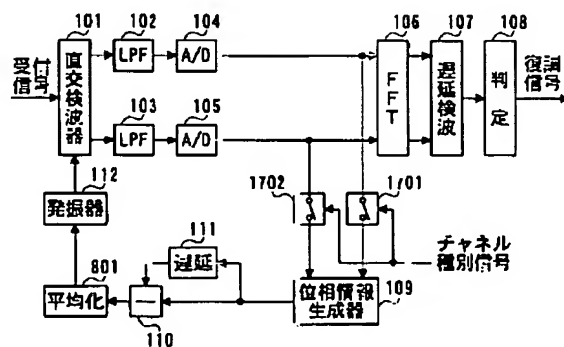
【図15】



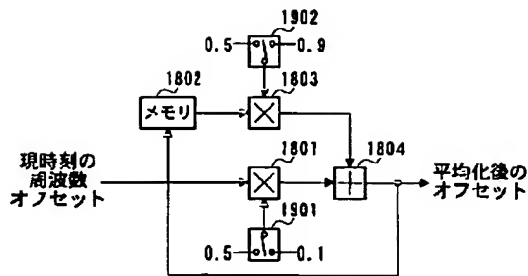
【図16】



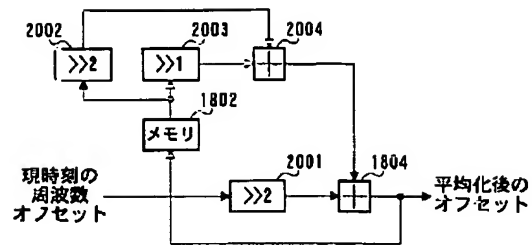
【図17】



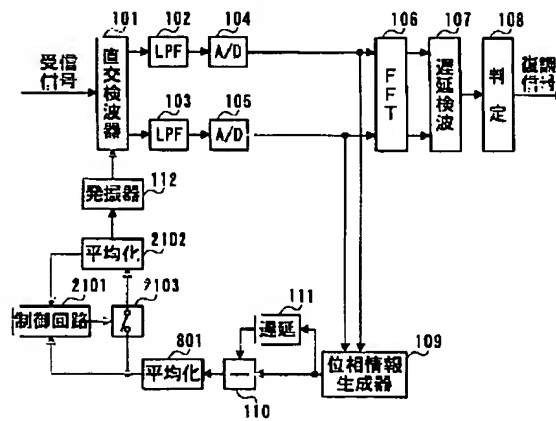
【図19】



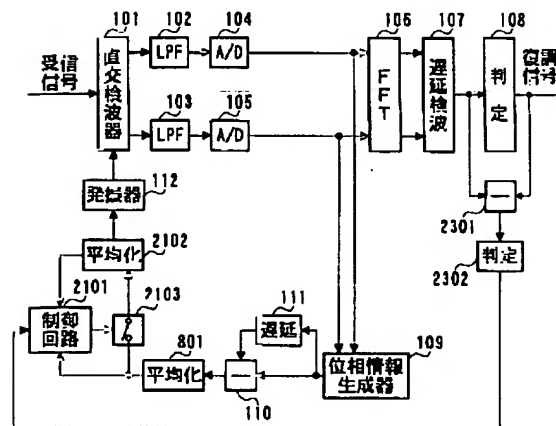
【図20】



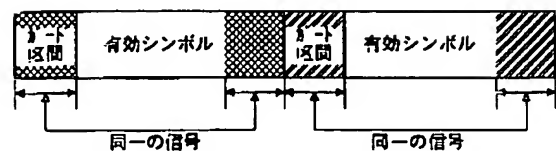
【図21】



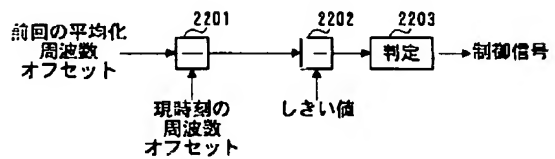
【図23】



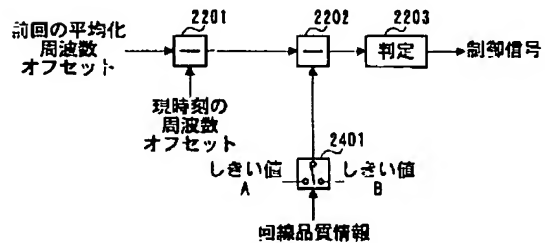
【図26】



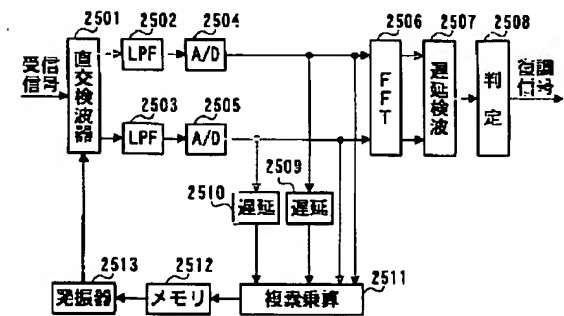
【図22】



【図24】



【図25】



フロントページの続き

( 72 ) 発明者 上杉 充

F ターム ( 参考 ) 5K022 DD13 DD19 DD33 DD43

神奈川県横浜市港北区綱島東四丁目 3 番 1  
号 松下通信工業株式会社内